Conversions analogique-numérique et numérique-analogique

« L'inverse d'un énoncé scientifique vrai est un énoncé scientifique faux. En philosophie, l'opposé d'une grande vérité c'est une autre grande vérité. »
Niels Bohr

Résumé

La commande des processus industriels a de plus en plus recours aux systèmes numériques et aux calculateurs pour effectuer le traitement des données. Les systèmes ont alors recours aux convertisseurs analogique-numérique (CAN) pour transformer les signaux analogiques d'entrée de la partie commande. Après traitement, le contrôle des préactionneurs sous forme analogique, fait appel aux convertisseurs numérique-analogique (CNA).

Après la définition du signal analogique, les deux types de convertisseurs sont présentés. Puisque les CAN sont d'un accès plus aisé (et contrairement à la progression la plus naturelle), ils sont abordés en premier lieu. Après les définitions et caractéristiques de base, les deux structures de base des CNA sont proposées : CNA à résistances pondérées et à réseau R-2R. Un exemple de circuit intégré permet d'illustrer les principes abordés. Enfin, le paragraphe s'achève sur le filtrage possible après la conversion pour atténuer le bruit de conversion.

En second lieu, le CAN est présenté et un développement particulier est effectué sur le processus de conversion analogique-numérique pour introduire le vocabulaire et les notions importantes. D'abord échantillonner le signal analogique à l'aide d'un échantillonneur, puis le mémoriser le temps de la conversion grâce à un bloqueur. Le composant associé est d'ailleurs brièvement décrit. En corrélat, une brève évocation de la condition de Shannon présente le moyen d'évaluer la juste fréquence d'échantillonnage. Pour choisir les composants adaptés aux besoins, une partie présente les caractéristiques essentielles des CAN. Enfin quelques structures simple de convertisseurs sont décrites : convertisseur parallèle ou flash, à simple rampe, à double rampe, à pesées successives et semi-parallèle pour terminer.

Sommaire

I. Traitement numérique du signal : mixité des signaux 2
II. Convertisseurs numérique-analogique 3
II.1. Présentation du CNA 3
II.2. Caractéristiques essentielles 3
II.3. Structures élémentaires 4
II.3.1. CNA à résistances pondérées 4
II.3.2. Convertisseur à réseau *R–2R* 5
II.3.3. Convertisseurs intégrés : exemple du DAC0800 5
II.4. Traitement possible après conversion 6
III. Convertisseurs analogique–numérique 7
III.1. Présentation du CAN 7
III.2. Les étapes de la conversion 7
III.3. Comment « bien » échantillonner 9
III.4. Caractéristiques essentielles 9
III.5. Quelques structures de CAN 10
III.5.1. Convertisseur parallèle ou « flash » 10
III.5.2. Convertisseur à simple rampe 10
III.5.3. Convertisseur à double rampe 10
III.5.4. Convertisseur à pesées successives 11
III.5.5. Convertisseur semi-parallèle ou semi flash 12
IV. Bibliographie 12

I. Traitement numérique du signal : mixité des signaux

Convertir : une nécessité

Le développement de l'électronique numérique a peu à peu permis de remplacer des fonctions de traitement analogique continu par des systèmes numériques. D'abord réalisés par des fonctions logiques câblées, les systèmes ont évolué vers des ensembles micro-programmés à microprocesseur, microcontrôleur, processeur numérique de signal (*Digital Signal Processor*, DSP) et par calculateur.

Signal analogique

Dans les environnements technologiques, les informations sont représentées par des signaux variant continûment dans le temps : on dit que ce sont des **signaux à temps continu** (Figure 1).

Un signal dépendant du temps variant continûment est représenté par une fonction ***s*** de la variable temps ***t***, ***s***(***t***) est dit **analogique** ou signal est **à temps continu**. La fonction prend ses valeurs dans l'ensemble des réels avec éventuellement des discontinuités.

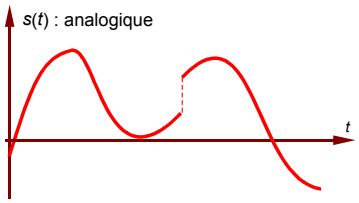


Figure 1 : Signal à temps continu ou analogique.

Convertir : de l'analogique au numérique et vice-versa

Sur la chaîne de traitement de la Figure 2, les informations sont prélevées sur le processus à contrôler par les **capteurs**. Les signaux recueillis subissent un traitement appelé conditionnement permettant de leur assurer un niveau suffisant (amplification) et de qualité (respect de contraintes de bruit dues aux perturbations extérieures). Avant la transmission au calculateur, il faut rendre compatible l'information à la forme numérique nécessaire. Les signaux analogiques sont convertis en leur représentation numérique : c'est le rôle des **convertisseurs analogique-numérique** (**CAN**) ou *Analog-Digital Converter* (**ADC**) en anglo-américain. Une fois les traitements numériques effectués, une partie des grandeurs assure le contrôle des actionneurs. Pour cela, elles doivent redevenir analogiques grâce aux **convertisseurs numérique-analogique** (**CNA**) ou *Digital-Analog Converter* (**DAC**) en anglo-américain

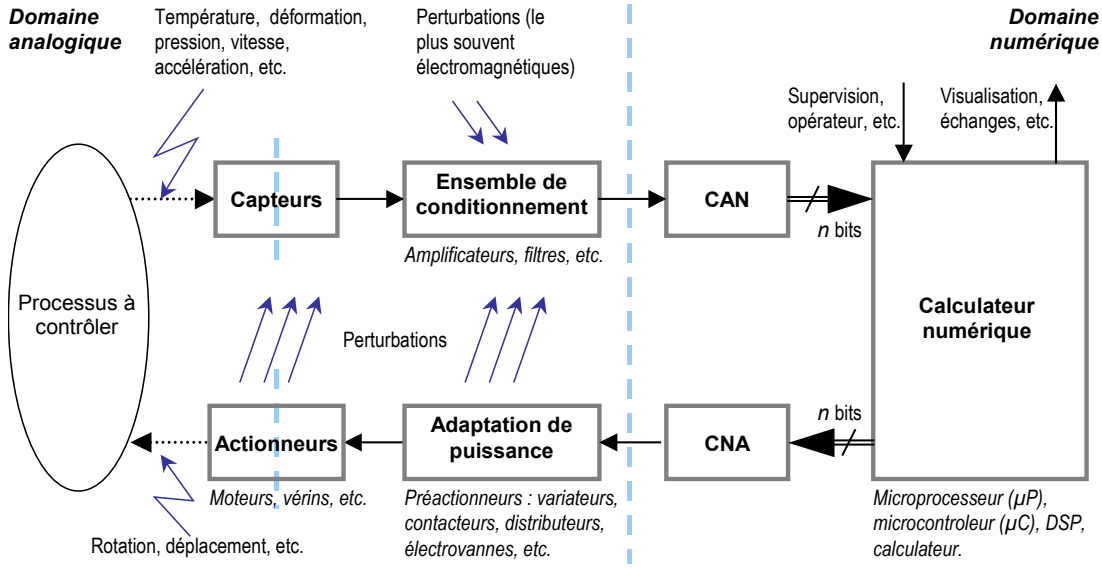


Figure 2 : Place des convertisseurs analogique-numérique et numérique-analogique dans le processus.

Contrairement à ce qu'incite le sens des informations, le plan imposerait que les CAN soient traités en premier lieu. Cependant, les CNA sont des structures plus simples, d'accès plus aisé : ils seront abordés d'abord.

II. Convertisseurs numérique-analogique

II.1. Présentation du CNA

Un convertisseur numérique-analogique ou CNA est chargé de transformer une grandeur numérique représentée par un nombre N en une tension proportionnelle v_s. Sur la Figure 3, le symbole # marque le signal numérique et le ∩ une grandeur analogique.

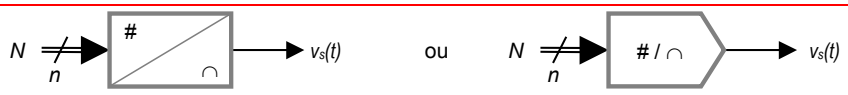


Figure 3 : Convertisseurs numérique-analogique (symboles fonctionnels souvent rencontrés).

II.2. Caractéristiques essentielles

Parmi la multitude de paramètres définis autour d'un CNA, on ne retient que les caractéristiques essentielles nécessaires au choix du composant.

Caractéristiques de transfert

C'est la représentation graphique de la loi liant v_s à N : On distingue deux types de convertisseurs suivant le signe de v_s :

- Unipolaire quand $0 \le v_s \le V_{max}$ sur la Figure 4,
- Bipolaire quand $-V_{max} \le v_s \le +V_{max}$ sur la Figure 5.

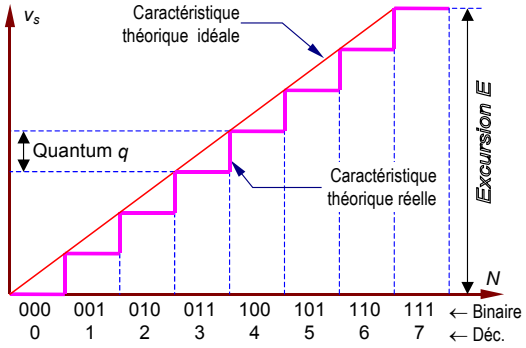


Figure 4: CNA unipolaire.

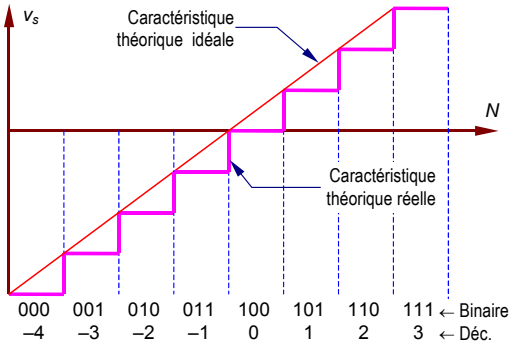


Figure 5 : CNA bipolaire.

L'excursion (accuracy en anglais)

C'est la différence entre les valeurs extrêmes de la tension de sortie v_s.

Le quantum q

C'est l'incrément théorique de la tension de sortie correspondant à un écart de ± 1 LSB (*Least significant bit*) en entrée.

On a donc $q = \dfrac{E}{2^n - 1}$ (rappel : 2^n valeurs correspondent à 2^n–1 intervalles) (Figure 4).

La résolution et la taille (en bits)

La résolution est toujours de 1 LSB puisque c'est le plus petit incrément possible en entrée. C'est pourquoi on préfère plutôt parler du nombre de bits ou de taille du convertisseur.

Tension de décalage (ou offset)

Pour une valeur numérique en entrée nulle, la tension prend une valeur ε appelée erreur d'offset (Figure 6).

Erreur de gain

Cette erreur ΔG est l'écart mesuré entre la pente de la caractéristique théorique idéale G_0 et la pente de la caractéristique réelle G (Figure 7).

La tension de sortie s'écrit alors :

$$v_s = K \cdot q \cdot N \quad \text{où} \quad K = 1 + \Delta G$$

Erreur de linéarité

Les sommets de la caractéristique sont en fait joints par une courbe qui traduit la non linéarité. Le maximum des écarts entre la caractéristique réelle et la caractéristique théorique est l'erreur de linéarité. Elle est souvent ramenée en pourcentage à l'excursion E : $\varepsilon = 100\dfrac{\max(\varepsilon_i)}{E}$ (Figure 8).

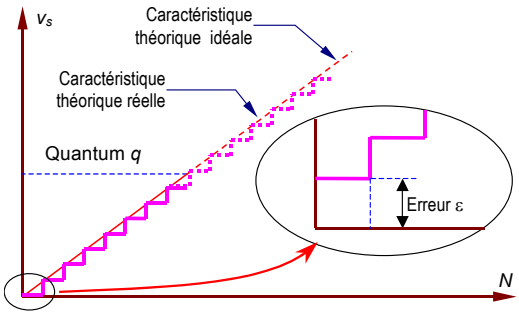


Figure 6 : Illustration de l'erreur d'offset.

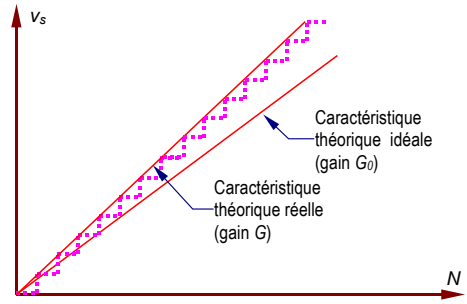


Figure 7 : Illustration de l'erreur de gain.

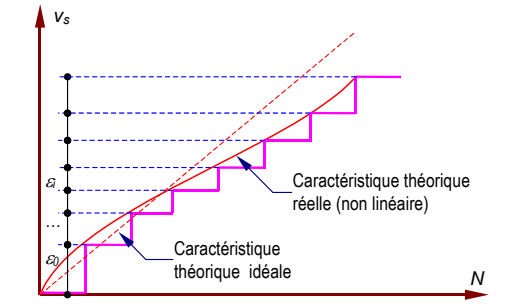


Figure 8 : Illustration de l'erreur de linéarité.

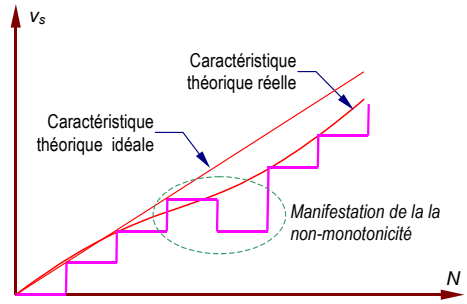


Figure 9 : Illustration de la monotonicité

La monotonicité,

Cette propriété traduit la croissance de la sortie lorsque l'entrée augmente (Figure 9).

La précision

Elle regroupe les différentes erreurs évoquées précédemment en ramenant l'erreur maximale ε_{max} à l'excursion :

$$précision = \frac{\varepsilon_{\max}}{E}$$

Le temps d'établissement (settling time, en anglais)

C'est le temps nécessaire au convertisseur dans le cas le plus défavorable pour établir la sortie à un certain pourcentage de sa valeur finale. Ce temps limite la fréquence maximale de conversion.

Synthèse

En tenant compte des erreurs, la relation réelle entre l'entrée N et la sortie v_s s'écrit :

$$v_s = q(1+\Delta G)\sum_{i=0}^{n-1} a_i(1+\Delta P_i)\cdot 2^i \text{ avec } \begin{cases} a_i \text{ est l'état du bit } i \\ \Delta G \text{ est l'erreur de gain} \\ \Delta P_i \text{ est l'erreur de linéarité attachée au bit } i \end{cases}$$

II.3. Structures élémentaires

II.3.1. CNA à résistances pondérées

Pour cette structure de base, on utilise des résistances pondérées suivant les puissances de 2. Son schéma de principe est donné à la Figure 10.

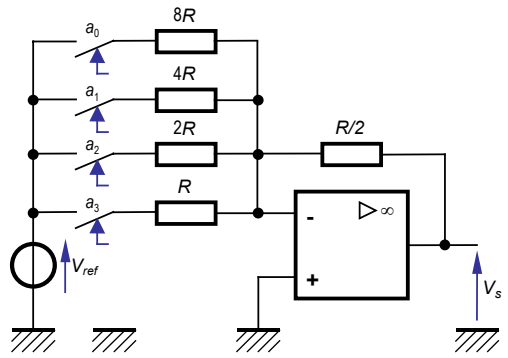


Figure 10 : CNA à résistances pondérées.

Dans le cas général, la tension issue de ce convertisseur est donnée par la relation :

$$v_s = -\frac{V_{ref}}{2^n}\sum_{i=0}^{i=n-1} a_i 2^i$$ où n est le nombre de bits du mot à convertir.

Pour garantir une conversion de qualité, il faut s'assurer que la tension de référence V_{ref} soit la plus constante possible (peu de courant extrait, indépendance vis-à-vis de la température, etc.). Elle est souvent disponible sous forme intégrée.

Pour transformer cette structure en convertisseur bipolaire, on modifie la tension appliquée à l'entrée plus de l'ALI.

II.3.2. Convertisseur à réseau R–2R

Ce montage utilise une structure en échelle R-2R. La Figure 11 illustre le cas $n = 4$.

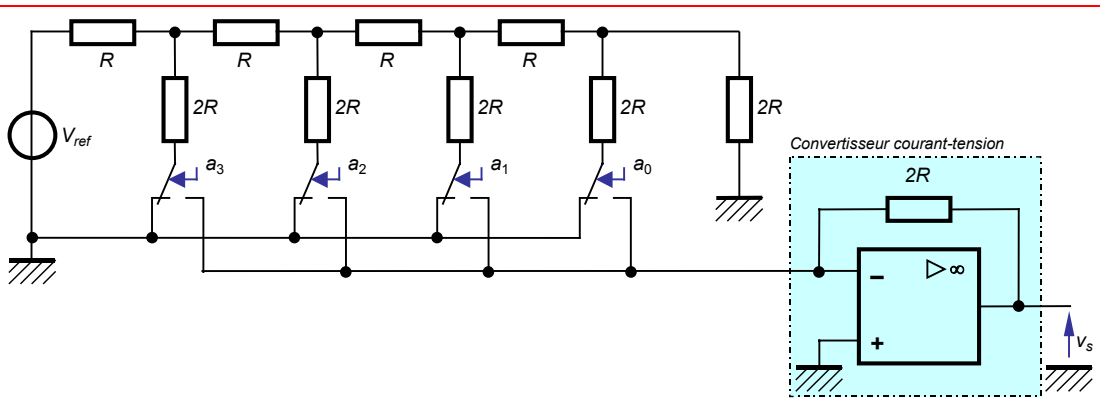


Figure 11 : Schéma structurel du convertisseur à réseau R-2R.

Dans le cas général, la tension issue de ce convertisseur est donnée par la relation :

$$v_s = -\frac{V_{ref}}{2^n}\sum_{i=0}^{i=n-1} a_i 2^i$$ où n est le nombre de bits du mot à convertir.

La qualité du résultat v_s ne dépend que de la précision sur la tension de référence V_{ref}.

II.3.3. Convertisseurs intégrés : exemple du DAC0800

Les circuits intégrés industriels utilisent un principe similaire au précédent. A titre d'exemple, le DAC0800 de Motorola utilise commutateurs analogiques en guise interrupteurs. Le DAC0800 est un CNA 8 bits rapide à sorties différentielles en courant (l'ALI final est à ajouter par l'utilisateur). La tension différentielle en sortie peut atteindre 20 V en chargeant avec deux résistances comme l'indique la Figure 12.

Caractéristiques principales

- Temps de conversion : 100 ns ;
- Erreur en pleine échelle : ±1 LSB ;
- Tension en sortie jusqu'à 20 V ;
- Sorties complémentaires en courant;
- Interfaçage direct en TTL et CMOS ;
- Alimentation de ±4,5V à ±18V ;
- Basse consommation : 33 mW à ±5V ;
- Conversions unipolaires ou bipolaires ;
- Coût modéré.

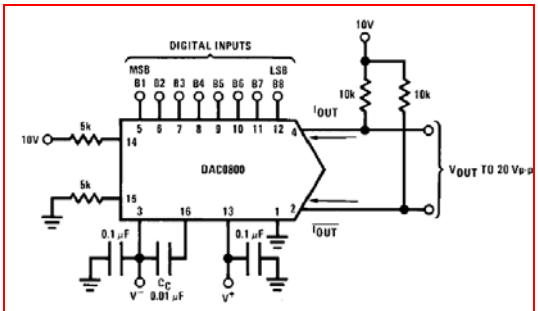


Figure 12 : Symbole et câblage minimal du DAC0800.

La structure interne indiquée à la Figure 13 montre le bloc de décodage qui reçoit les 8 bits à convertir (broches 5 à 12) et contrôle les commutateurs. Ici les courants sont entrant dans le convertisseur et leurs poids binaires sont obtenus par des miroirs de courant. Les broches 4 et 2 fournissent les courants complémentaires, image de la conversion. La grandeur de référence, en tension ou en courant, est appliquée au niveau des broches 14 et 15. La notice complète fournit le mode de câblage et de nombreuses applications.

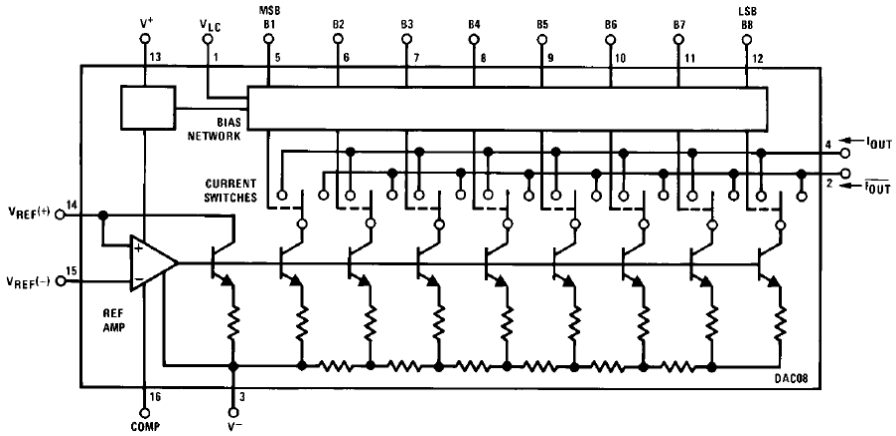


Figure 13 : Architecture interne DAC0800 (Doc. Motorola).

II.4. Traitement possible après conversion

Une fois la conversion effectuée, le signal apparaît sous la forme de « marches d'escalier ». Ceci occasionne un bruit qu'il est parfois nécessaire d'atténuer. Pour cela, on utilise un filtre passe bas en sortie. La fréquence de coupure est calculée pour laisser passer les premiers harmoniques utiles du signal et atténuer celles à la fréquence des « marches » du découpage.

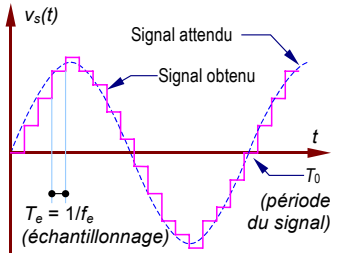


Figure 14: Représentation temporelle de v_s.

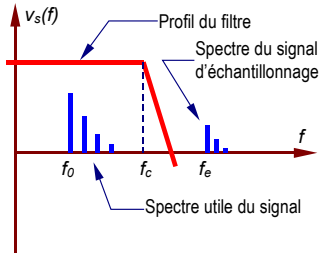


Figure 15: Représentation fréquencielle de v_s.

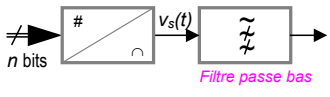


Figure 16 : Position du filtre.

Plus la fréquence de découpage f_e est élevée, plus le spectre du signal d'échantillonnage se décale vers les hautes fréquences, réduisant la pente en bande coupée et donc l'ordre du filtre nécessaire. Plus le nombre de bits n est important, moins les « marches » sont hautes, atténuant l'amplitude des harmoniques indésirables.

III. Convertisseurs analogique–numérique

III.1. Présentation du CAN

Un convertisseur analogique-numérique ou CAN est chargé de transformer une grandeur analogique v_{in} en un nombre N proportionnel. Les symboles souvent rencontrées sont à la Figure 17.

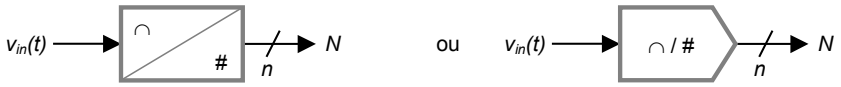


Figure 17 : Convertisseurs analogique-numérique (symboles fonctionnels souvent rencontrés).

III.2. Les étapes de la conversion

La numérisation du signal fait passer de grandeurs réelles variant continûment à une suite d'entiers naturels ou relatifs évoluant de manière discrète dans le temps. Plusieurs phases se succèdent donc :

- Prélever la valeur du signal à un instant t ;
- La conserver en attendant la suivante ;
- L'associer à une valeur entière, codée en binaire.

D'abord prélever le signal

La première opération prélève la valeur du signal $s(t)$: c'est un **échantillon.** Elle est répétée à intervalles temporels équidistants contrôlés par une **horloge d'échantillonnage** de période T_e. La fonction obtenue $\hat{s}$ n'est plus **à temps** continu mais **discret** (Figure 18).

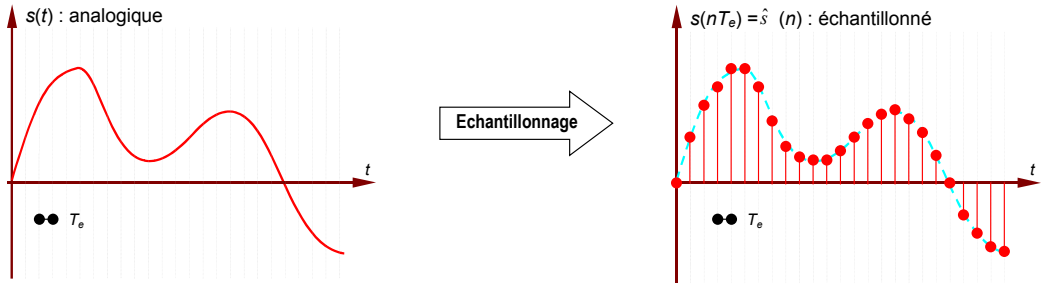


Figure 18 : Passage du signal analogique au signal échantillonné.

Chaque échantillon est repéré par son numéro d'ordre n (entier positif) à l'instant nT_e. Chacun est noté $s(nT_0)$ ou $\hat{s}(n)$. Le bloc fonctionnel réalisant cette opération est appelée **échantillonneur** (Figure 19).

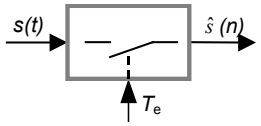


Figure 19 : Échantillonneur.

Ne pas laisser échapper l'échantillon…

Avant de passer au suivant, il faut maintenir l'échantillon le temps de le convertir. On utilise pour cela un **bloqueur** (Figure 20) qui est une sorte de « mémoire analogique ». Le signal obtenu est noté $s^*(n)$.

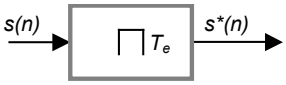


Figure 20 : Bloqueur.

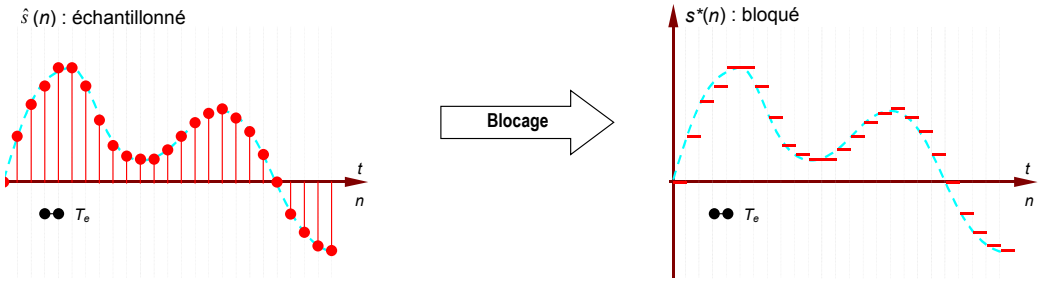
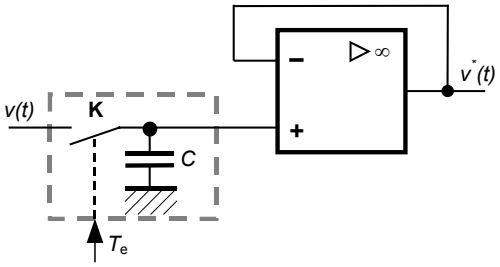


Figure 21 : Passage du signal analogique au signal échantillonné.

Réalisation de l'échantillonneur-bloqueur

Pour laisser au CAN le temps d'agir, la tension d'entrée reste stable durant la phase de conversion. Les deux opérations d'échantillonnage et de blocage sont associées dans un même bloc technologique, c'est l'**échantillonneur-bloqueur** (*sample and hold* en anglo-américain) dont la structure de principe est donnée (Figure 22).



L'interrupteur est fermé T_0-périodiquement durant un très bref instant.

Figure 22 : Principe de l'échantillonneur-bloqueur.

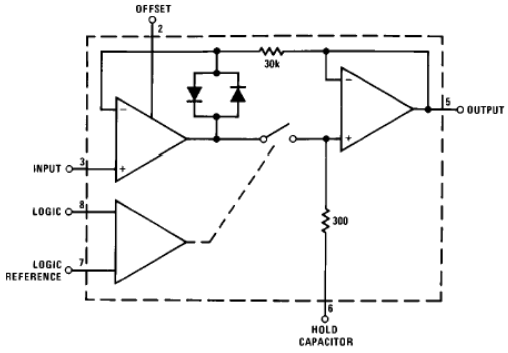


Figure 23 : Échantillonneur-bloqueur LF198 (Doc. Motorola).

A titre d'exemple, la Figure 23 présente le circuit LF198. Le premier ALI à forte impédance d'entrée évite de perturber la prise d'information. L'interrupteur est un transistor MOS à faible tension en conduction. Les deux diodes tête-bêche assurent l'isolement de la tension prélevée lorsque l'interrupteur est ouvert. Le condensateur est câblé extérieurement par l'utilisateur. La résistance de 300 Ω limite le courant de charge. Le deuxième ALI à faible impédance de sortie fournie la tension en évitant de charger le condensateur de maintien (forte impédance d'entrée).

Convertir en restant « dans les clous »

La dernière étape est assurée par le convertisseur proprement dit. Elle consiste à associer à la valeur réelle *s*(n)* échantillonnée et bloquée, la valeur numérique entière la plus proche : c'est la **quantification** illustrée à la Figure 24. Cette opération est imposée par le CAN puisque le code numérique ne dispose que d'un nombre fini de valeurs pour convertir les valeurs analogiques variant continûment.

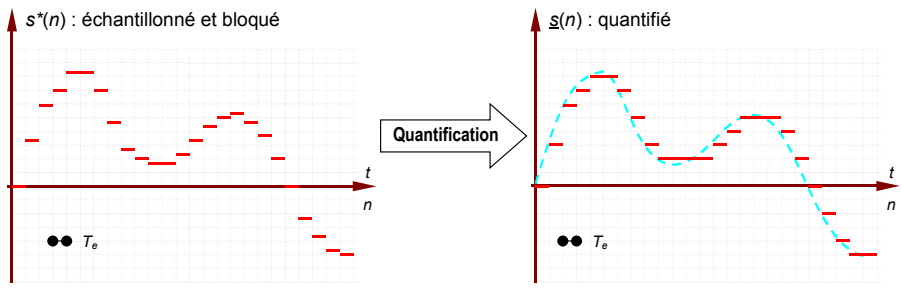


Figure 24 : Passage du signal échantillonné au signal quantifié.

Toutes ces opérations participent à la chaîne de conversion analogique-numérique qui est représentée à la Figure 25.

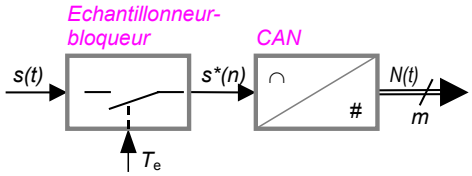


Figure 25 : Chaîne de conversion analogique-numérique.

III.3. Comment « bien » échantillonner

Toutes ces opérations modifient le signal, donc l'information qu'il transporte. Cependant, les travaux théoriques en traitement du signal au milieu du XXème siècle ont permis de montrer qu'un signal analogique dont le spectre fréquenciel s'étend jusqu'à la fréquence f_M doit être échantillonné à au moins la fréquence double $2 \cdot f_M$ pour comporter la même information. La condition qui en découle, $f_e = \frac{1}{T_e} \geq 2 \cdot f_M$, c'est la **condition de Shannon**[1].

III.4. Caractéristiques essentielles

Le choix d'un CAN s'appuie sur un ensemble de performances attachées à ses caractéristiques.

Caractéristiques de transfert

Comme pour le convertisseur dual, deux types de CAN coexistent : la caractéristique de transfert d'un CAN unipolaire apparaît à la Figure 26 et bipolaire à la Figure 27.

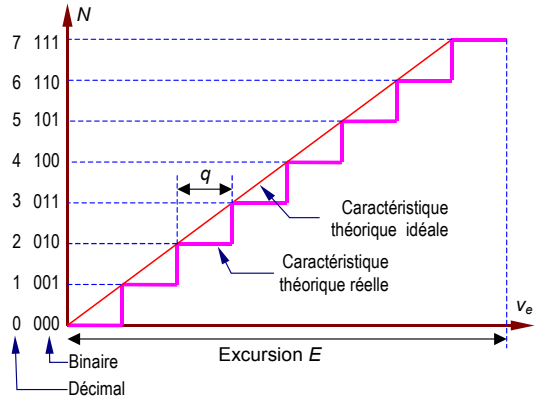


Figure 26: CAN unipolaire.

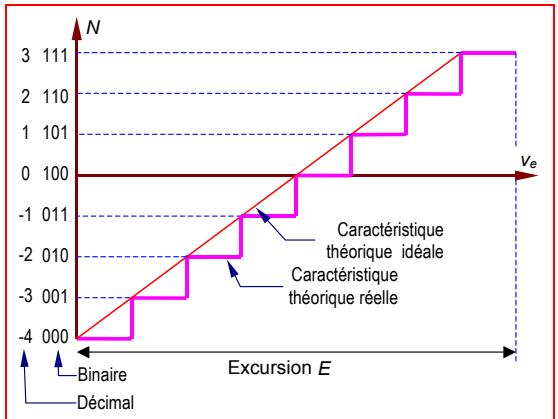


Figure 27 : CAN bipolaire.

Résolution et quantum

Comme pour le CNA, le quantum q est l'écart de tension conduisant à l'incrémentation du nombre en sortie. Mais pour les CAN, on utilise plutôt la résolution qui est le nombre d'incréments possibles pour le nombre de bits n, c'est-à-dire 2^n. On rencontre aussi parfois le terme « point ».

Temps de conversion T_c

C'est le temps minimum nécessaire au convertisseur pour stabiliser une donnée numérique en sortie après avoir appliqué une tension analogique stable à l'entrée du CAN. Cette caractéristique fixe la fréquence maximale de travail.

[1] Claude Elwood Shannon (1914-2001), ingénieur américain, publie son article « Communication en présence de bruit » en 1949. Cet article qui conduit au théorème de Shannon est fondamental en traitement du signal.

Erreur de quantification

Durant la quantification, si le CAN choisit la tension par défaut, l'erreur de quantification ε_q est majorée par 1 LSB. Si la règle est d'arrondir à la plus proche valeur, l'erreur est divisée par deux : $\varepsilon_q = \frac{q}{2}$. Cette solution décale la caractéristique de transfert d'un demi quantum (Figure 28).

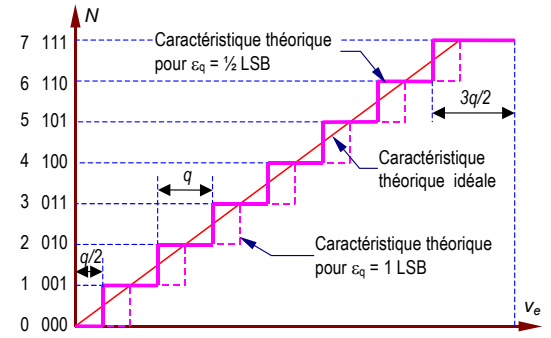


Figure 28 : Réduction de l'erreur de quantification.

Autres caractéristiques : erreurs de linéarité, de gain, tension de décalage.

Comme pour les CNA, on retrouve des définitions similaires pour ces erreurs.

III.5. Quelques structures de CAN

III.5.1. Convertisseur parallèle ou « flash »

Ce type de convertisseur s'inspire de la mesure par comparaison de l'objet mesuré avec la règle qui sert d'étalon. En transposant à des tensions : la tension à convertir (l'objet) est comparée aux fractions de la tension de référence délivrées par un diviseur résistif (la règle). La tension atteinte est celle correspondant au dernier niveau logique « 1 » rencontré.

Le décodeur est un circuit combinatoire du type 2^n–1 vers n délivrant le nombre image codé en binaire naturel de la valeur de v_e.

Avantage : temps de conversion très court.

Inconvénient : structure complexe due à la croissance exponentielle des comparateurs avec le nombre de bits et du nombre de porte important pour le décodeur.

* La résistance proche de V_{ref} est remplacée par $3R/2$ et celle à la masse par $R/2$ dans le cas de la diminution de l'erreur de quantification.

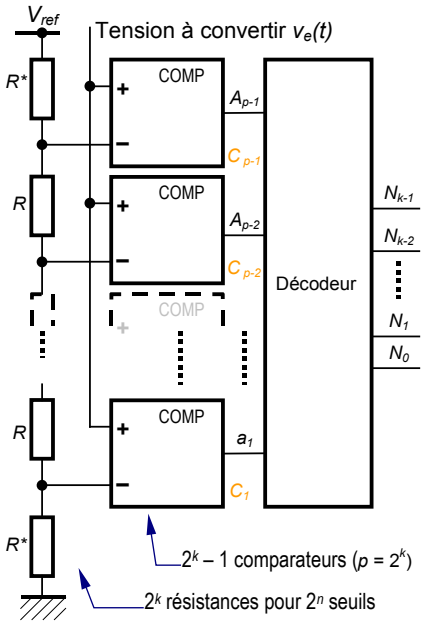


Figure 29 : CAN flash.

III.5.2. Convertisseur à simple rampe

Ce convertisseur utilise un compteur s'incrémentant à partir de 0. Le nombre obtenu est converti par un CNA. La tension interne v_i qui en est issue est comparée à la tension à convertir v_e. Tant que v_i reste inférieure à v_e, le compteur s'incrémente. Il est bloqué dès que v_i atteint v_e : le résultat est alors disponible en sortie du compteur.

Avantage : simplicité.

Inconvénient : peu précis, lent (le temps de conversion augmente avec la tension).

III.5.3. Convertisseur à double rampe

Pour améliorer la précision, on utilise le principe d'intégration de la tension à mesurer v_e pendant une durée prédéterminée tandis qu'un compteur s'incrémente. Quand cette phase est terminée, la valeur N_c est atteinte pour une tension interne maximale v_i. L'intégration d'une tension de référence (stable et très précise) négative V_{ref} fait décroître v_i. Quand cette tension s'annule, le compteur a atteint le nombre N_d.

Une règle de trois fournit le résultat :

$$v_{in} = \frac{N_c}{N_d}\left|V_{ref}\right|$$

Avantage : très précis (les appareils de mesure utilisent beaucoup ce genre de CAN).

Inconvénient : relativement lent.

III.5.4. Convertisseur à pesées successives

Le schéma fonctionnel de ce convertisseur est précisé à la Figure 30. Le bloc logique séquenceur propose initialement un niveau logique « 1 » pour le MSB (*most significant bit*) : ceci a pour effet de placer N au milieu de l'intervalle [0, N_{max}]. La valeur de N proposée est convertie pour être comparée à v_e. Le résultat est interprétée comme « trop faible » ou « trop élevé ». L'opération est reprise pour chaque bit de N pris en ordre décroissant. La dernière valeur proposée est conservée ou changée en « 0 » si le bit n'est pas pris en considération.

Le bloc logique délivre également une horloge H comportant n fronts montants successifs permettant le séquencement du fonctionnement.

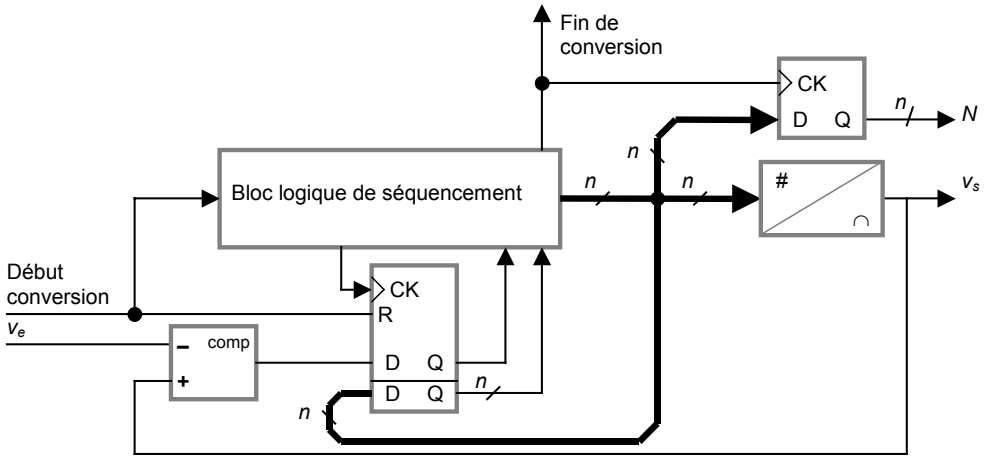


Figure 30 : Convertisseur à pesées successives.

Remarque : ce procédé est une méthode dichotomique de recherche de valeur utilisée depuis toujours avec les balances à poids, d'où son nom « pesées ».

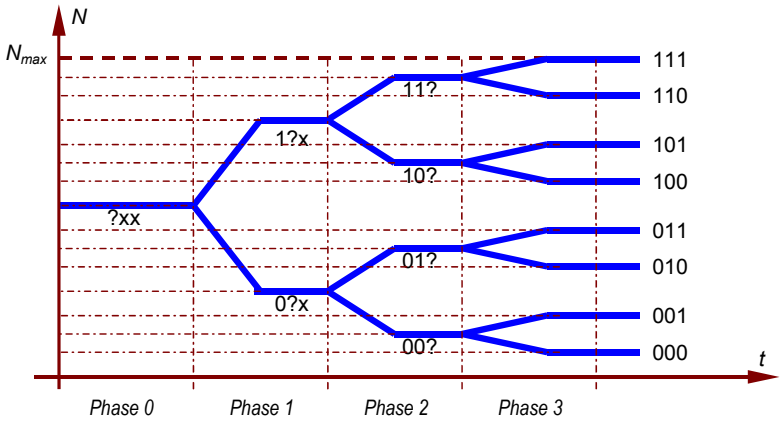


Figure 31 : Évaluation par pesées successives.

Avantage : relativement rapide ($1+\log_2 n$ périodes de l'horloge suffisent à effectuer la conversion et la période de H est fixée par le temps d'établissement du CNA).

Inconvénient : ce n'est pas le plus précis.

Les circuits intégrés utilisent beaucoup ce principe pour son bon compromis précision/rapidité.

III.5.5. Convertisseur semi-parallèle ou semi flash

Pour expliquer le fonctionnement, on a recours au convertisseur 8 bits décrit à la Figure 32. Il est composé de deux CAN flash 4 bits, d'un CNA et d'un comparateur.

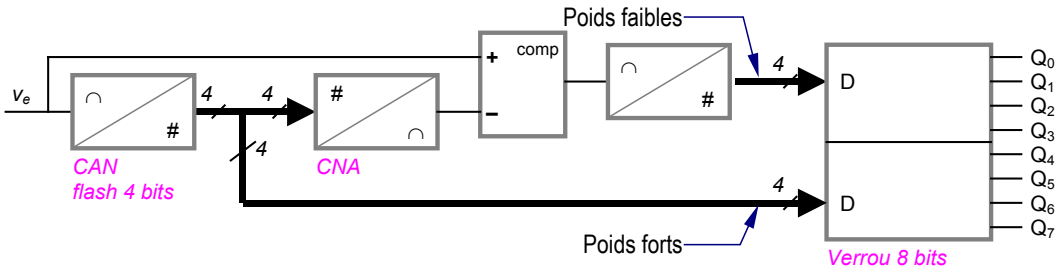


Figure 32 : Convertisseur semi-flash.

La méthode consiste à convertir « grossièrement » la tension v_e grâce à un CAN flash 4 bits. Le résultat correspond à la partie « haute » du résultat final. Il est mémorisé dans un verrou composé de bascules D. Simultanément, le résultat obtenu est converti en analogique, tension qui est retranchée à v_e. Ce résidu est converti en numérique par un autre CAN similaire pour élaborer les 4 bits de poids faible. Sa mémorisation dans le verrou complète le mot de 8 bits.

Ce convertisseur offre un bon compromis entre la vitesse de conversion et la précision du résultat.

IV. Bibliographie

- [1] **C. Cimelli – R. Bourgeron**. Guide du technicien en électronique. Hachette Technique.
- [2] **Notices techniques** de composants « Data acquisition databook ». Motorola.
- [3] Dominique Chevallier. http://courelectr.free.fr/base/elec.htm.
- [4] S. Pinet. Polycopié. http://artemmis.univ-mrs.fr/iufm-genelec/. IUFM d'Aix-Marseille.