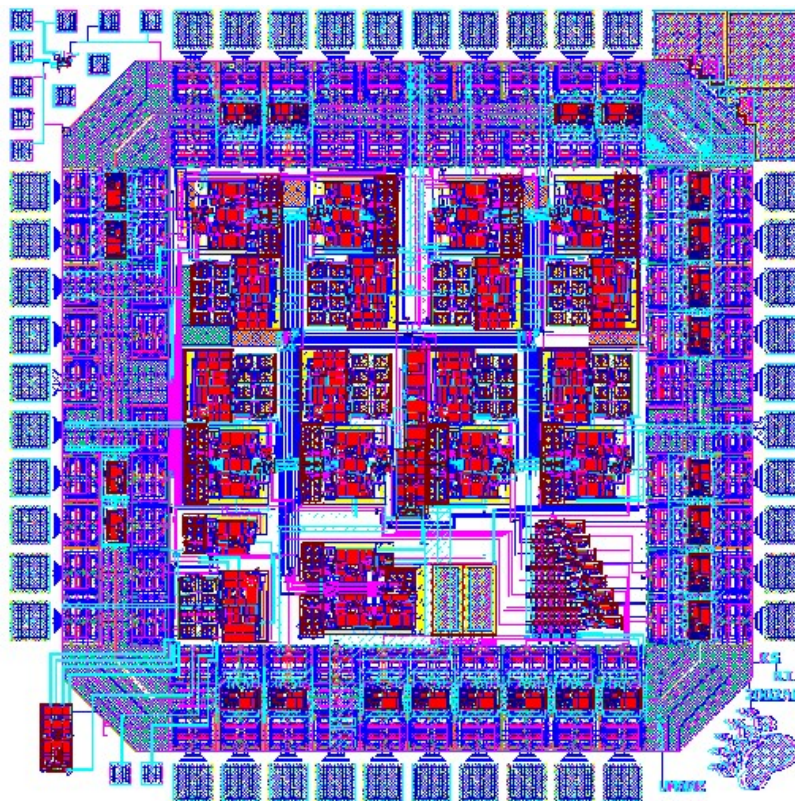


Convertisseurs

Analogique - NUMÉRIQUE



Convertisseur pipelined 5MHz 10 bits
Dimension : 1.5 · 1.5 mm
30 résistances, 305 condensateurs, 2073 PMOS, 2854 NMOS
Année 2002

CPNV
[Jean-François Pochon](mailto:Jean-François.Pochon@cpnv.ch)
www.electrons.ch
Février 2005

Table des matières

TABLE DES MATIERES	2
THEORIE DE LA CONVERSION A/D.....	3
QUANTIFICATION :	3
CRITERE DE NYQUIST (DE SHANNON):.....	5
REPLIEMENT SPECTRAL :	6
FILTRE ANTI-REPLIEMENT :	7
RESTITUTION ET LISSAGE :	7
RAPPORT SIGNAL SUR BRUIT SNR (SNRWH):	8
RAPPORT SIGNAL SUR BRUIT ET DISTORSION SINAD :	8
NOMBRE EFFECTIF DE BITS ENOB:.....	8
PLAGE DYNAMIQUE SANS PARASITE SFDR :	9
DISTORSION HARMONIQUE TOTALE THD:	9
TOPOLOGIES DE CONVERTISSEURS.....	10
CONVERTISSEUR FLASH PARALLELE.	10
CONVERTISSEUR A APPROXIMATION SUCCESSIVE	11
CONFIGURATION D'UN DAC A CAPACITES COMMUTEES :	12
CONVERTISSEURS A/D PIPELINED (SUBRANGING).....	13
CONVERTISSEUR SIGMA DELTA ($\Sigma\Delta$).....	15
ERREURS DE CONVERSION.....	17
GAIN ET OFFSET	17
NON LINEARITE DIFFERENTIELLE	18
NON LINEARITE INTEGRALE	18
CODES MANQUANTS / ERRONES	19
ERREUR TOTALE :	19
ERREUR D'OUVERTURE	20
ERREUR DE GITE DE FREQUENCE D'ECHANTILLONNAGE :	21
SOMME DES ERREURS D'UN CONVERTISSEUR :	21
REFERENCE DE TENSION :	22
PRECISION DU SIGNAL D'ENTREE :	22
MESURES ET TEST DE CONVERTISSEURS	23
TEST STATIQUE :	23
METHODE « DOS A DOS » :	24
TEST PAR HISTOGRAMME :	24
LIENS :	25
EXERCICES	26
EXEMPLES DE DATA SHEET	27

Théorie de la conversion A/D

Un petit chapitre théorique permet de se familiariser avec les diverses dénominations et de placer quelques notions clé pour l'étude de la numérisation.

Quantification :

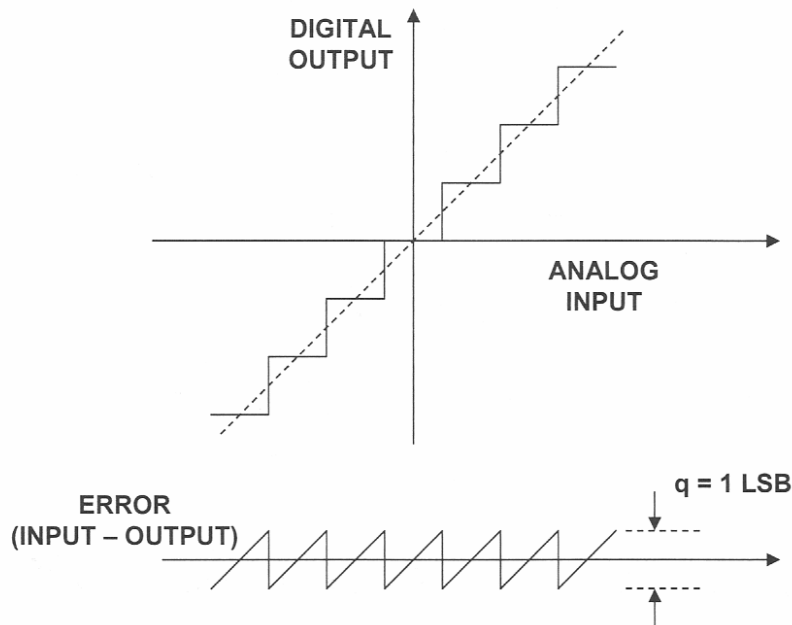


Figure 1: Erreur (bruit) de quantification

Si l'on considère un convertisseur parfait, la numérisation, ou quantification, va introduire une erreur car on ne passe pas sans conséquence d'une infinité analogique de points à quelques valeurs numériques prises sur le signal. Cette erreur en dents de scie (pour un signal de type triangle) peut se calculer par la racine de l'intégration du carré du signal, selon la définition de la valeur efficace.

$$e(t) = \sqrt{\frac{s}{q} \cdot \int_{-q/2s}^{q/2s} (st)^2 dt} = \frac{q}{\sqrt{12}}$$

avec q : valeur [V] d'un LSB
 s : pente [V/s] de la courbe.

Cette valeur est calculée sur la base d'un signal triangulaire mais c'est aussi une valeur reconnue pour les autres types de signaux.

La valeur rms d'un signal pleine échelle est quand à elle de $U_{rms} = \frac{q \cdot 2^N}{2 \cdot \sqrt{2}}$

Le rapport signal sur bruit dû à cette erreur peut dès lors être calculé :

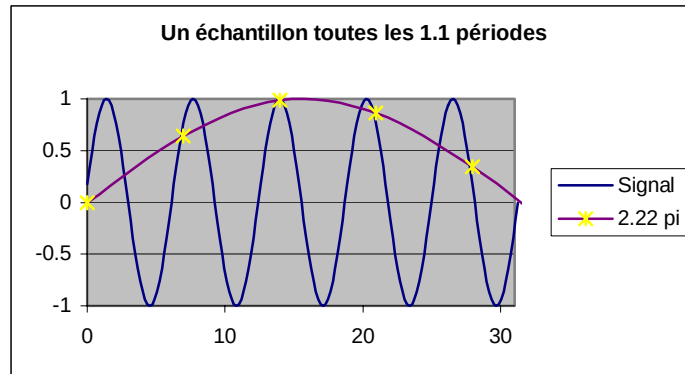
$$SNR = 20 \log \left(\frac{q \cdot 2^N / (2 \cdot \sqrt{2})}{q / \sqrt{12}} \right) \text{ ce qui donne } \boxed{SNR = 6.02 \cdot N + 1.76 \text{ dB}}$$



Critère de Nyquist (de Shannon):

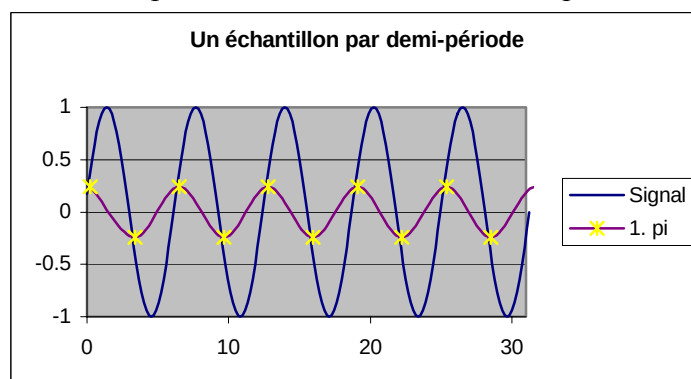
Lors de la prise d'échantillons, il est une question que l'on ne peut pas éluder et qui est celle de la fréquence d'échantillonnage.

On peut voir sur ce graphique que si l'on échantillonne le signal à un rythme qui correspond à moins de deux échantillons par période (tous les π) on n'obtient pas, lors de la restitution, un signal de fréquence équivalente.

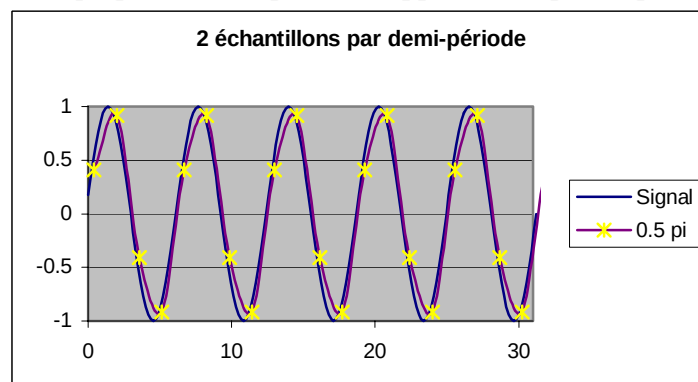


Le signal numérisé est ici tracé après lissage. Les valeurs numériques sont représentées par les petites croix.

Echantillonnage en prélevant un échantillon par demi-période : on assure la capture de la fréquence du signal considéré, mais pas forcément avec la bonne amplitude.



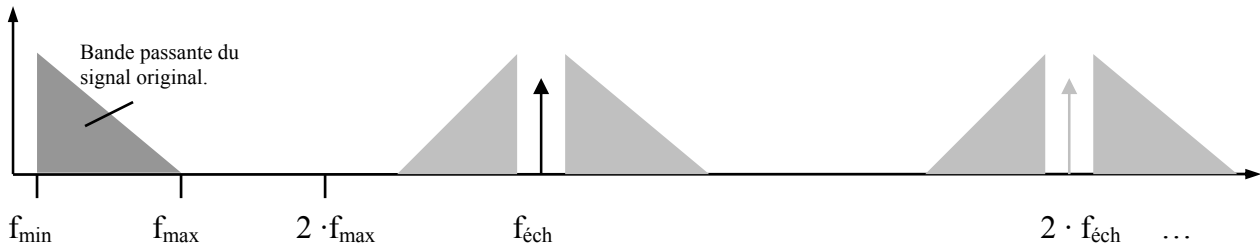
Quatre échantillons par périodes : nous assurons un échantillonnage de la fréquence correcte et une acquisition de l'amplitude qui peut suffire pour des applications pas trop exigeantes.



En pratique et si l'on tient à une image fidèle de notre signal échantillonné, une fréquence d'échantillonnage de 7-10 fois la fréquence du signal le plus rapide sont des valeurs correctes.

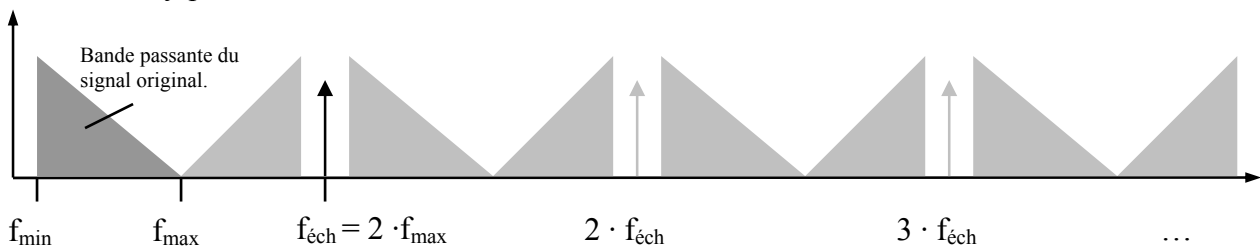
Repliement spectral :

Si l'on passe du domaine temps au domaine des fréquences, on peut observer le phénomène suivant lors de l'observation du spectre d'un signal échantillonné :



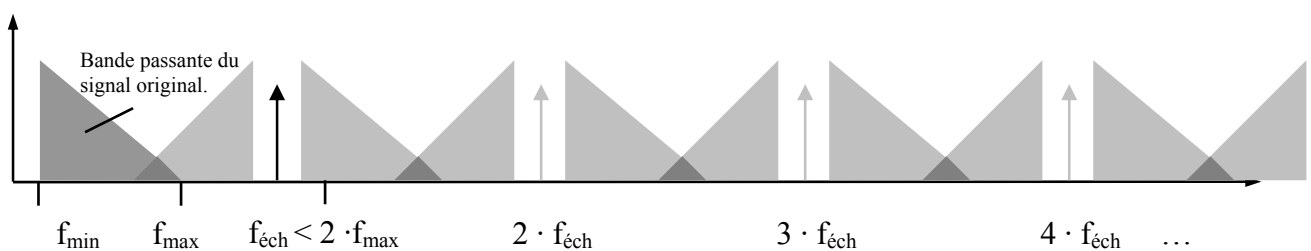
Dans cet exemple on peut constater que l'on a utilisé une fréquence d'échantillonnage largement supérieure au double de la fréquence maximum du signal et d'autre part que le spectre représentant les valeurs échantillonnées est très étendu car il se répète tous les multiples de $f_{\text{échantillonnage}}$. On peut également remarquer la réplique inversée du spectre à gauche de la fréquence d'échantillonnage et de ses multiples.

Diminuons maintenant la fréquence d'échantillonnage à la valeur minimum correspondante au critère de Nyquist :



On voit ici que le signal échantillonné de la deuxième zone (inversé) touche la bande passante originale du signal. Ce cas est un cas limite et on voit ici poindre un effet qui se nomme « repliement spectral » (aliasing dans le texte) ou l'on voit la réplique inversée du spectre se superposer au spectre initial.

Signal sous échantillonné :

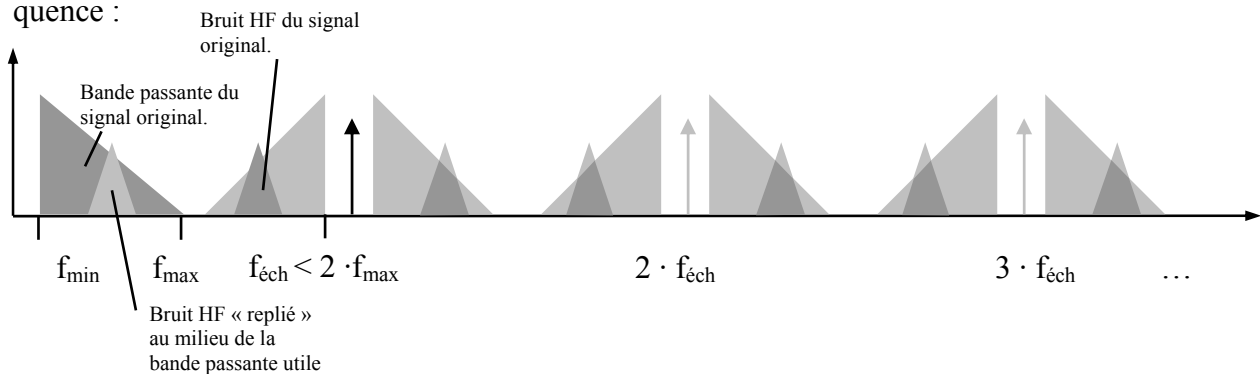


Ce type de spectre est l'image d'un signal que l'on a sous échantillonné, et on voit les zones sombres qui sont les zones de recouvrement spectral. A éviter absolument.

Il semble évident dès lors que l'on doit respecter la règle du double de la fréquence maximum du signal et on serait tenté de rire doucement des développeurs pris en flagrant délit de repliement. Nous allons voir que malgré ces bonnes résolutions, nous ne sommes pas encore à l'abri de ce piège.

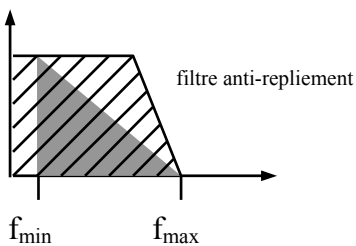
Filtre anti-repliement :

Observons ce qui se passe lors de l'échantillonnage d'un signal comportant du bruit haute fréquence :



Le bruit haute fréquence initial se retrouve au milieu de la bande passante et va se superposer au signal utile. Pour se prémunir de ce genre de problème, une solution simple consiste à utiliser un filtre anti-repliement.

Ce filtre va éliminer en amont (avant l'échantillonnage) les fréquences supérieures à la fréquence maximum utile du signal à échantillonner et ainsi empêcher, p. ex du bruit, de se retrouver au milieu de la bande utile après échantillonnage.



Ce type de filtre se place entre l'amplification et l'échantillonneur, afin de se prémunir du bruit éventuel amené par l'amplification.

Restitution et lissage :

Les spectres illustrés ci-dessus sont des spectres de valeurs échantillonnées, il est évident que lors de la reconstruction du signal, on va « boucher les trous » entre les valeurs ne serait-ce qu'en maintenant la dernière valeur en attendant de recevoir la nouvelle. Le spectre s'en trouve modifié et un filtrage adapté va achever de nous débarrasser des résidus HF de répliation dus à l'échantillonnage.

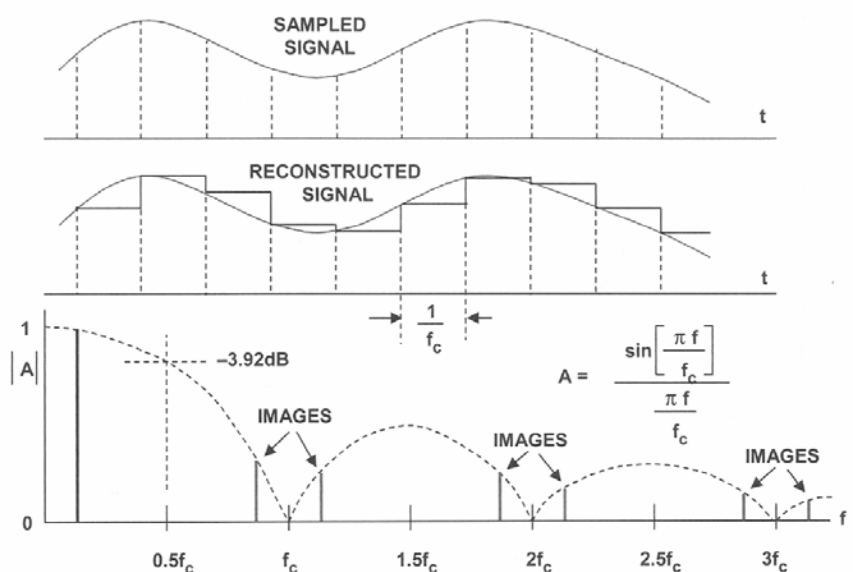


Figure 2: Reconstruction du signal

Rapport signal sur bruit SNR (SNRWH):

Signal to Noise Ratio est le rapport entre la valeur RMS de l'amplitude du signal sinus de test et la valeur RMS de la somme des amplitudes de toutes les autres fréquences excepté la tension continue et les 5 premières harmoniques du signal.

SNRWH est équivalent à SNR et le doux diminutif de *Signal to Noise Ratio Without Harmonics*.

Rapport signal sur bruit et distorsion SINAD :

Rapport entre la valeur RMS du signal sinus de test et la valeur RMS de la somme des amplitudes de toutes les autres fréquences présentes dans le signal sauf la tension continue.

Nombre effectif de bits ENOB:

ENOB *Effective Number Of Bits* est une mise en évidence efficace des limitations d'un convertisseur A/D. Ce paramètre illustre la précision effective de votre convertisseur une fois les différentes erreurs additionnées. On s'aperçoit ainsi que le magnifique convertisseur 16 bits acheté très cher a en fait une largeur de code utile en sortie de, par exemple, seulement 8 bits...

Le calcul de ENOB est basé sur la valeur du SINAD et est donnée en retournant la formule :

$$\text{SNR} = 6.02 \cdot N + 1.76 \text{ dB}, \text{ ce qui donne : } \text{ENOB} = (\text{SINAD} - 1.76 \text{ dB}) / 6.02$$

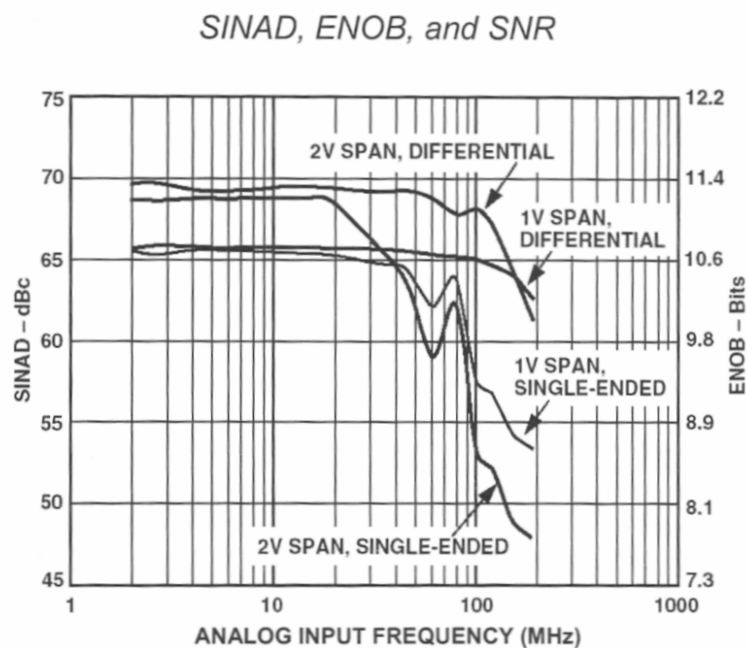


Figure 3: Exemple de courbe pour un convertisseur 12 bits (AD 9226)

Plage dynamique sans parasite SFDR :

Spurious Free Dynamic Range est l'amplitude qui sépare le signal utile de l'harmonique d'amplitude la plus élevée. C'est un paramètre important pour les A/D utilisés en télécommunication.

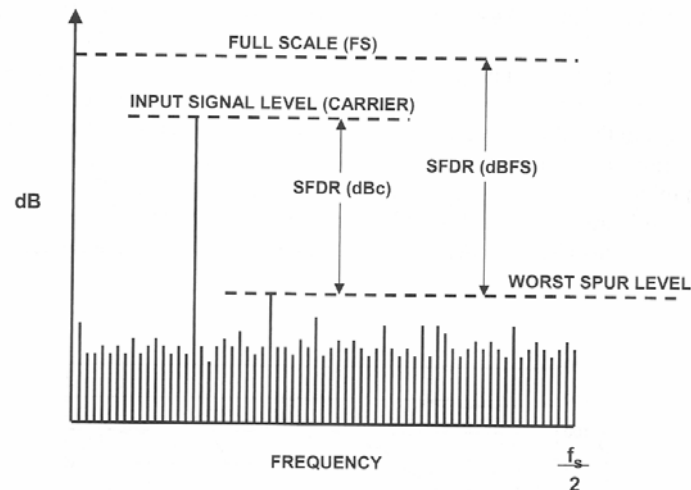


Figure 4: SFDR Spurious Free Dynamic Range

Distorsion harmonique totale THD:

C'est le rapport entre la valeur efficace de la fondamentale et la somme des valeurs efficaces des harmoniques (généralement les 5 premières).

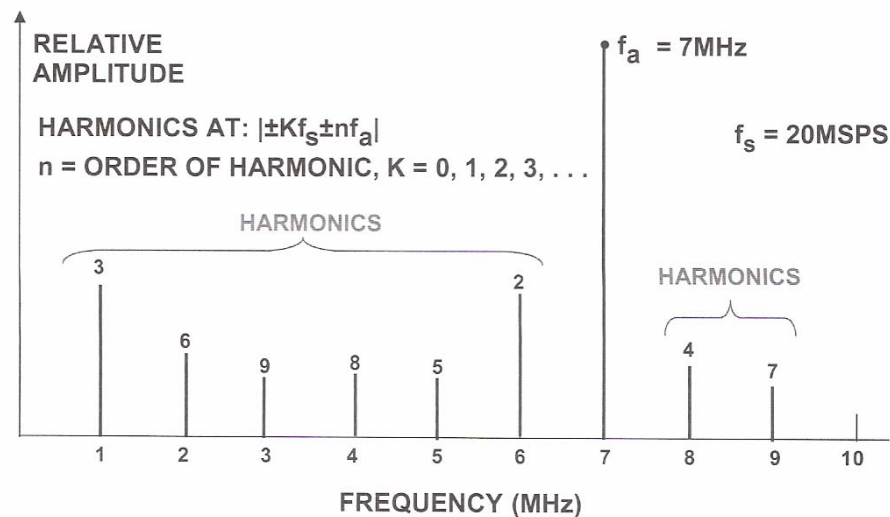


Figure 5: Harmoniques, amplitudes et localisations

Pour le paramètre THD+N, on ajoute le bruit mais sans la composante DC.

Ces valeurs sont souvent spécifiées en dBc déciBel below Carrier

Topologies de convertisseurs.

Convertisseur Flash parallèle.

Ce convertisseur est le plus rapide des convertisseurs. Un convertisseur de N bits est constitué de 2^N résistances et de $2^N - 1$ comparateurs.

Chaque convertisseur a un seuil fixe défini par le réseau de résistances qui est 1 LSB plus élevé que le seuil du comparateur précédent.

Les comparateurs fournissent une valeur « thermométrique » de la conversion Analogique-Numérique qui doit être décodée pour être lisible en valeur binaire.

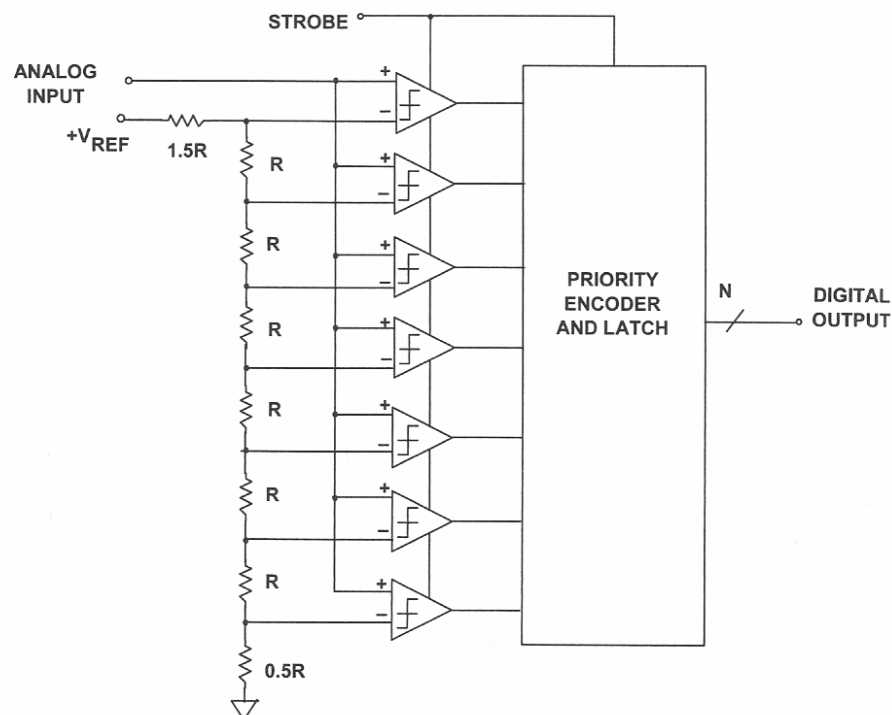


Figure 6 : Structure d'un convertisseur Flash

Il apparaît sur le schéma que la valeur analogique d'entrée est convertie en valeur numérique de manière asynchrone par les comparateurs et que c'est l'horloge du décodeur qui va dicter le nombre d'échantillons lus par seconde.

La vitesse actuelle des plus rapides son de l'ordre du GHz avec une précision de 8 bits.

Les limitations de ce type de convertisseur sont dues à la complexité de fabrication pour des convertisseurs plus précis. En effet, la précision maximum est de 10 bits en pratique, ce qui représente déjà $2^{10} - 1 = 1023$ comparateurs.

Multipliez le nombre de comparateurs par la consommation de comparateurs haute vitesse et vous obtenez un IC qui consomme plusieurs Watts.

Ajoutez à cela la complexité que requière l'implémentation d'un nombre si élevé de comparateurs et vous aurez compris que le prix d'un convertisseur rapide et précis ne sera pas à la portée du premier budget venu.

Convertisseur à approximation successive

Ce convertisseur est le plus répandu actuellement pour les besoins standards de conversion A/D. Les vitesses de conversion se situent dans les MHz pour un convertisseur 8 bits et on trouve des convertisseurs qui ont une résolution jusqu'à 18 bits à des prix normaux. La dénomination usuelle de la littérature est *SAR Successive Approximation Register*.

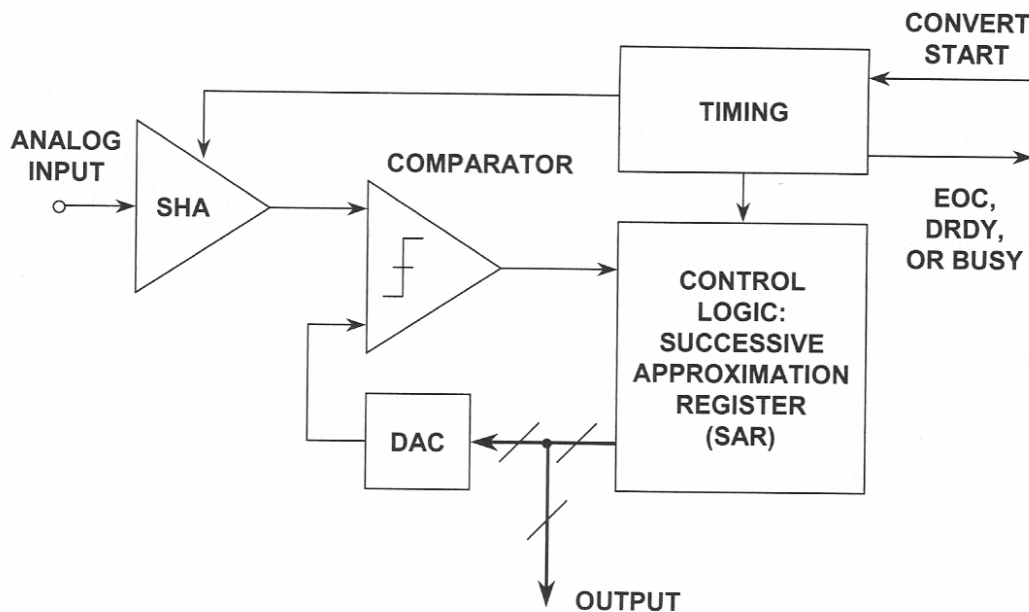


Figure 7: Structure d'un convertisseur SAR

Ce convertisseur va « essayer » plusieurs valeurs en comparant la valeur déterminée par la logique de commande avec la valeur d'entrée.

On va positionner la valeur de comparaison au milieu de la plage de mesure, et déterminer ainsi, si la valeur d'entrée est supérieure ou inférieure à cette valeur de comparaison. Le résultat de ce test va déterminer le MSB. On passe au bit suivant en positionnant la valeur de test à 25% (75%) de la pleine échelle (suivant le résultat de la première conversion) et tester ainsi le deuxième bit. La conversion est terminée lorsque l'on a effectué le test pour tous les bits du code numérique.

Le temps pour une conversion de N bits est donc de N fois la période du clock.

Le temps de conversion serait directement proportionnel au nombre de bits si le temps de conversion pour une précision de p.ex 16 bits était le même que pour une précision moindre, ce qui n'est hélas pas le cas, on doit laisser plus de temps de stabilisation aux signaux pour une meilleure précision.

A noter que la précision du convertisseur SAR est largement dépendant de la précision du convertisseur D/A interne. Les bons convertisseurs étaient réalisés avec des résistances ajustées au laser, ce qui impliquait un fort coût de fabrication. Les nouvelles conceptions s'appuient sur des architectures à capacités commutées qui se passent de résistances de précision.

Configuration d'un DAC à capacités commutées :

Prenons l'exemple d'un convertisseur 3 bits et étudions le fonctionnement du convertisseur D/A.

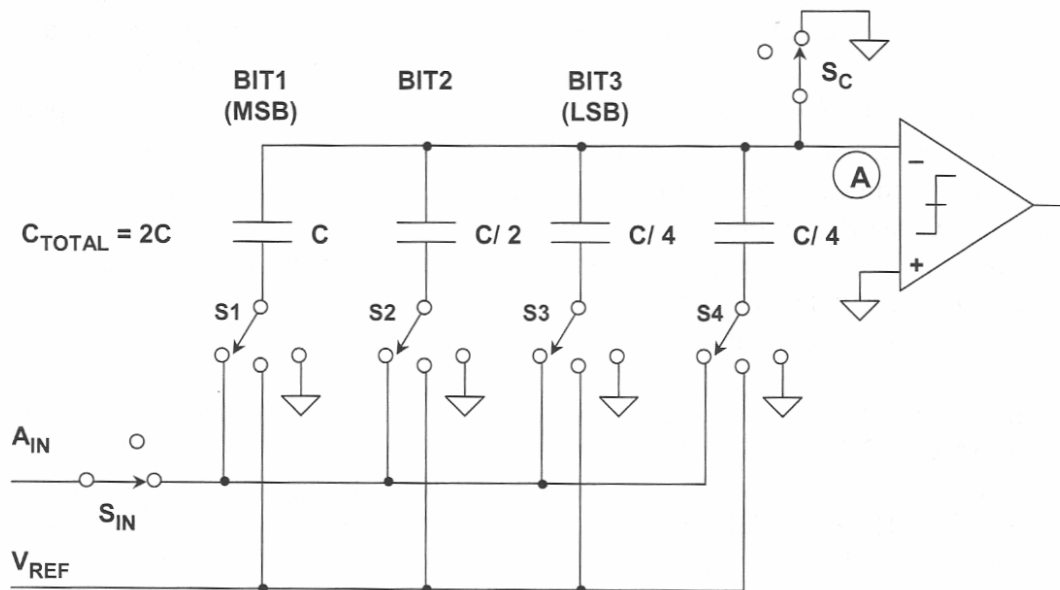


Figure 8: Switches dans la position poursuite du signal "échantillonnage"

Remarquez le condensateur additionnel connecté à S_4 , ce condensateur n'est là que pour terminer la chaîne et compléter la valeur des condensateurs à $2C$. Le fonctionnement de ces condensateur est similaire à un réseau $R/2R$ à la différence que l'on a mis des condensateurs à la place des résistances.

Pour comprendre le fonctionnement de ce circuit, il faut l'étudier étape par étape :

- Les switches sont dans l'état représenté et les condensateurs se chargent tous à la même valeur V_{Ain} déterminée par la tension d'entrée.
- On ouvre le commutateur S_{IN} et le commutateur S_C , ce qui déconnecte l'entrée de mesure et libère le point (A) de sa connexion à la masse. Ce point est maintenant flottant.
- On commute tous les switches sur la masse, une tension de $-A_{IN}$ apparaît au point (A)
- Si on positionne S_1 sur V_{ref} , une tension de $R_{ref}/2$ est ajoutée à $-A_{IN}$. Le comparateur peut alors décider du bit de poids fort. Si on n'a pas atteint $0V$, alors on garde S_1 dans cette position et on passe à S_2 . Sinon, on remet S_1 dans la position initiale et on passe à S_2 .
- On positionne S_2 sur V_{ref} , ...

La conversion est terminée lorsque l'on a pris la décision après la commutation de S_3 .

S_4 n'est jamais commuté sur V_{ref} .

Dans cette architecture à condensateurs, on peut placer des capacités en parallèle que l'on peut ajouter ou pas à C , $C/2$, $C/4$. Cela permet d'ajuster leur valeur au cours de cycles d'autocalibration (MAX1200) et compenser, par exemple, des dérives thermiques ou le vieillissement.

Convertisseurs A/D Pipelined (Subranging)

Si l'on regarde les différents types de comparateurs Analogique-Numérique, on s'aperçoit que ou il est rapide (conversion en 1 coup de clock pour le Flash) mais il est cher et se limite à 10 bits (pour un coût raisonnable). Ou il est précis mais plus lent, un coup de clock par bit pour l'approximation successive (SAR) ou un temps variable et plutôt long pour le double rampe.

Il existe sur le marché un nouveau type de convertisseur qui permet d'être rapide, précis et tout cela sans la débauche de comparateurs des convertisseurs Flash.

Schéma de principe :

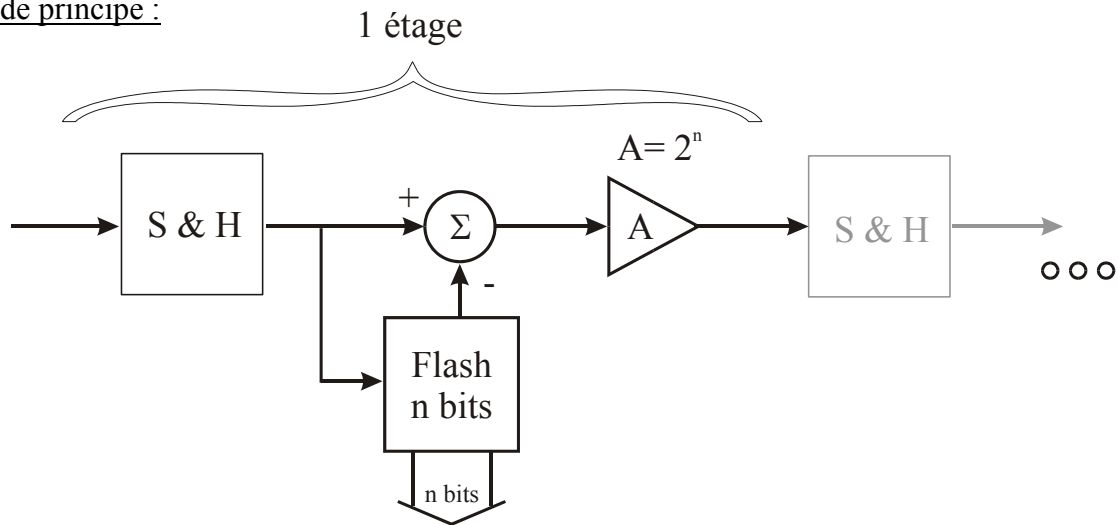
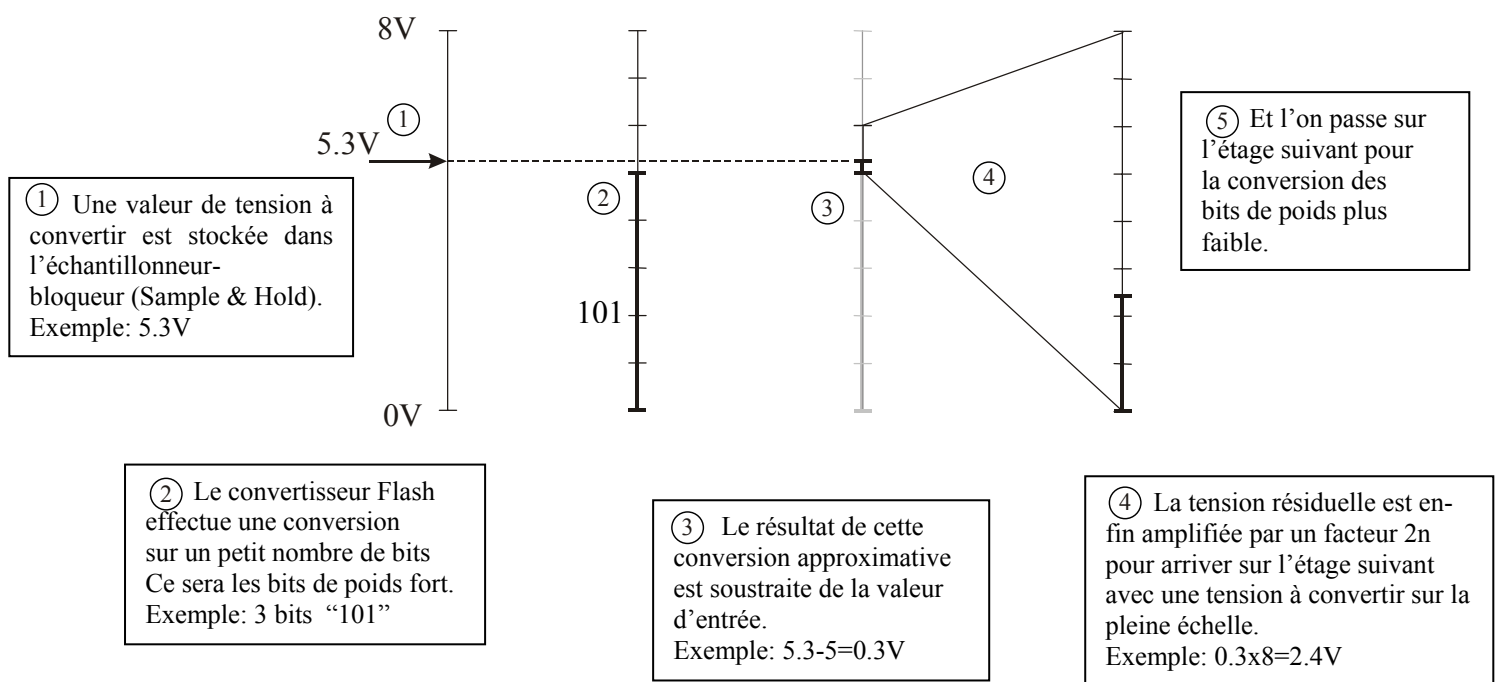


Figure 9: Un étage de convertisseur pipelined

Déroulement d'une conversion :

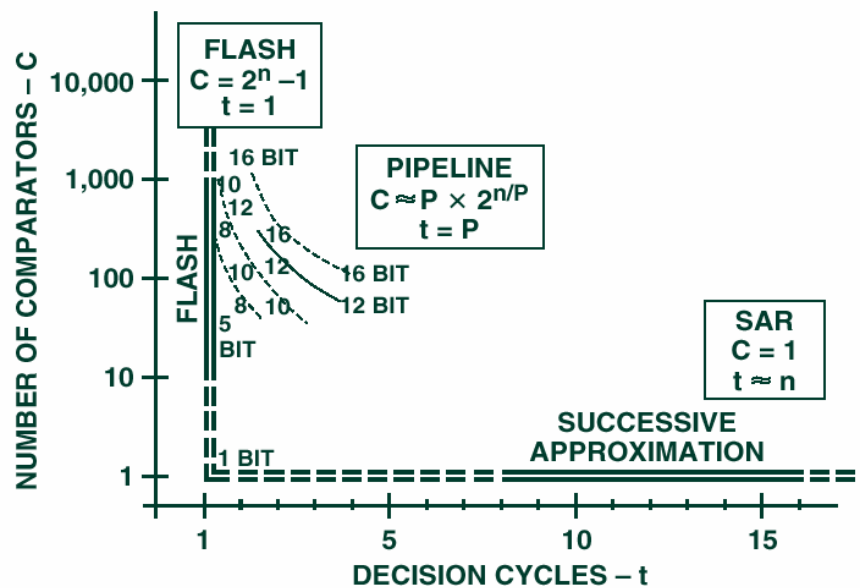
Dans l'exemple : Premier étage d'un convertisseur 12 bits à 4 étages.



Comparteurs :

Ce mode de conversion permet de limiter de manière drastique le nombre de comparateurs nécessaires à la conception d'un convertisseur flash de même précision.

Un convertisseur Flash 10 bits nécessite l'implémentation de 1023 comparateurs dans le composant. Le coût du chip s'en ressent et 10 bits est une valeur maximum pour cette technologie.



Par comparaison, un convertisseur Pipelined à trois étages de 4 bits a une précision de 12 bits et nécessite seulement l'utilisation de $3 \times 15 = 45$ comparateurs.

Si l'on veut calculer le nombre de comparateurs nécessaires à la conception d'un convertisseur quelconque, la formule est la suivante:

$$\text{Nombre de comparateur} = 2^{(n/p)} - 1 \times p$$

Avec :

n : nombre de bits du convertisseur.

p : nombre d'étage du convertisseur.

Vitesse :

La vitesse de conversion d'un convertisseur Pipelined est semblable à celle d'un Flash à un retard (plus un petit délais pour les temps d'établissement analogiques) près. En effet, pour le premier échantillon, il faudra attendre un nombre de coup de clock égal au nombre d'étages avant d'avoir la conversion disponible à la sortie.

A partir de ce moment, un échantillon sortira à chaque coup de clock comme pour le convertisseur Flash. Il n'en demeure pas moins que le convertisseur représente un retard dont il faut tenir compte, par exemple dans une boucle de réglage ou dans un fonctionnement où l'on ne fait qu'une conversion.

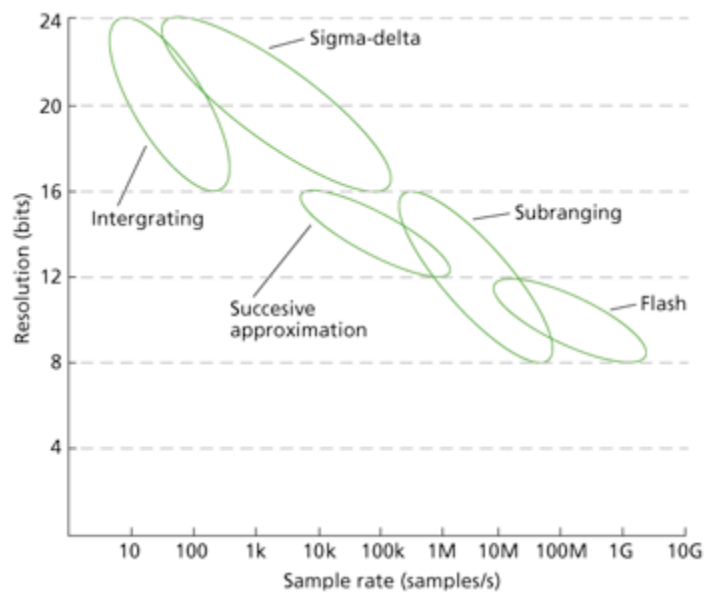
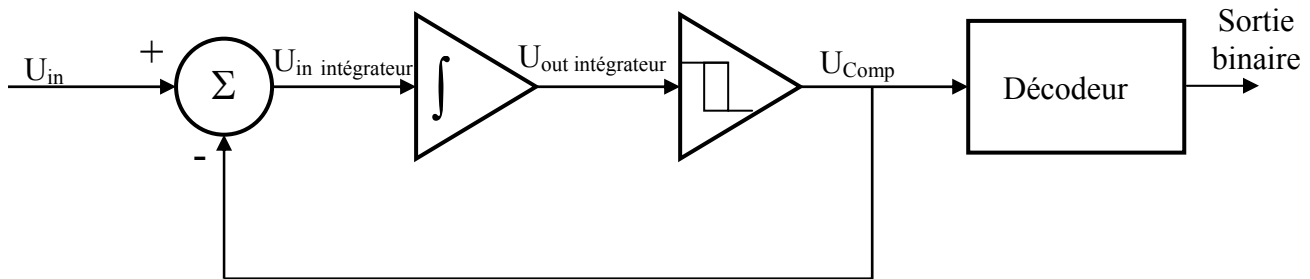


Figure 10 <http://www.reed-electronics.com> How do ADCs work? 07 2002

Convertisseur sigma delta ($\Sigma\Delta$)

Le convertisseur double rampe que l'on présente souvent avec une rampe de charge à temps constant (le courant dépend de la tension d'entrée) et une rampe de décharge à courant constant (le temps dépend du nombre de charges accumulées dans le condensateur) a évolué vers le $\Sigma\Delta$ que l'on reconnaît dans le schéma suivant :

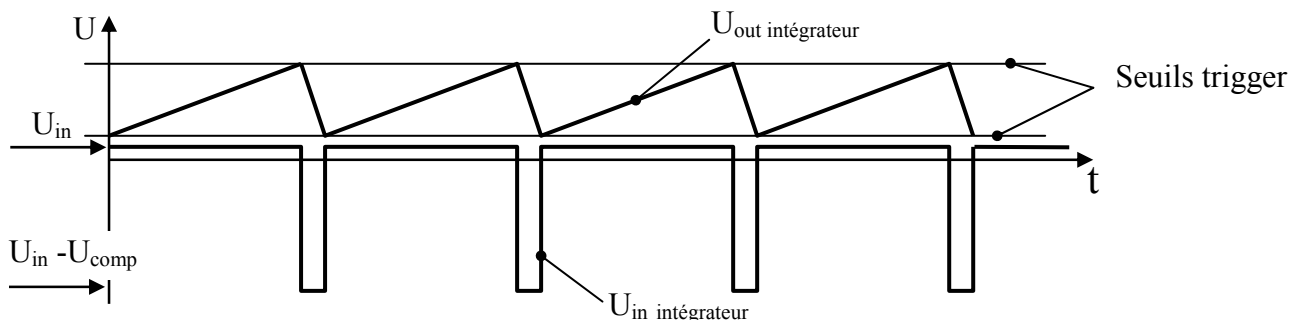


Nous avons donc un soustracteur, un intégrateur, un comparateur en trigger de schmit et un décodeur.

Il faut ajouter que la sortie U_{comp} du comparateur (qui sera soustraite au signal d'entrée) a une amplitude de variation qui est de l'ordre de la plage de mesure (p.ex. 10V).

Partons maintenant à zéro pour une conversion :

Tension d'entrée : faible



000000000000100000000000011000000000000100000000000001000000 : Valeur de comparaison

Avec une tension d'entrée faible (1V), la tension de sortie de l'intégrateur va augmenter lentement et il faudra un certain temps avant que le seuil de trigger supérieur soit atteint. Lors de la commutation du trigger, on se retrouve avec une tension négative très importante sur l'intégrateur (1-10 = -9V), ce qui va précipiter la descente de sa tension de sortie jusqu'au seuil bas et le cycle recommence.

La valeur de sortie du comparateur, si on la prélève à chaque coup de clock (déterminé par la circuiterie externe) va ressembler à la suite de 0 et de 1 qui figure au bas du graphique.

Si, maintenant, on déplace la tension d'entrée vers le haut de la plage de mesure (9V), la montée de la sortie de l'intégrateur va être beaucoup plus rapide et à l'inverse la descente plus lente

(9-10 = -1V) , ce qui va produire une suite de 0 et de 1 qui ressemblera peut-être à : 000111111111000111111111...

Vous l'avez deviné, c'est la « densité » de 1 dans cette chaîne de nombres qui déterminera la valeur binaire de sortie.

Avantages du $\Sigma\Delta$:

Ce convertisseur est très utilisé lorsque l'on veut une conversion précise (24 bits !) il équipe donc la quasi totalité des multimètre de nos laboratoires.

Plusieurs facteurs plaident en sa faveur, notamment l'intégration en continu du signal d'entrée, ce qui permet de s'affranchir des variations périodiques du signal d'entrée (bruit) dont on prend la valeur moyenne durant la mesure.

A contrario, dans le cas du pipelined, l'échantillonneur-bloqueur peut très bien garder une valeur qui aura été prélevée sur une crête due au bruit, ce qui va fortement influencer le résultat de la conversion.

De plus la mesure peut être effectuée une multitude de fois (oversampling) avant d'afficher la valeur moyenne des résultats de conversion, ce que font les multimètres qui vous donnent le choix d'avoir un rafraîchissement très rapide, mais seulement 3 digits affichés, ou 6-8 digits, avec une fréquence de rafraîchissement plus lente.

On peut ajouter que, comme le double rampe, ce type de convertisseur est indépendant des variations lentes de la résistance ou du condensateur d'intégration (température, vieillissement) car on charge et on décharge à travers les mêmes éléments, une variation p. ex. de la résistance, influence la pente de montée comme la pente de descente.

Inconvénients :

Il va de soit que ce genre de convertisseur est lent et ne permet pas de rivaliser avec ses confrères SAR ou Flash sur le plan de la vitesse.

Effet sur le bruit de quantification :

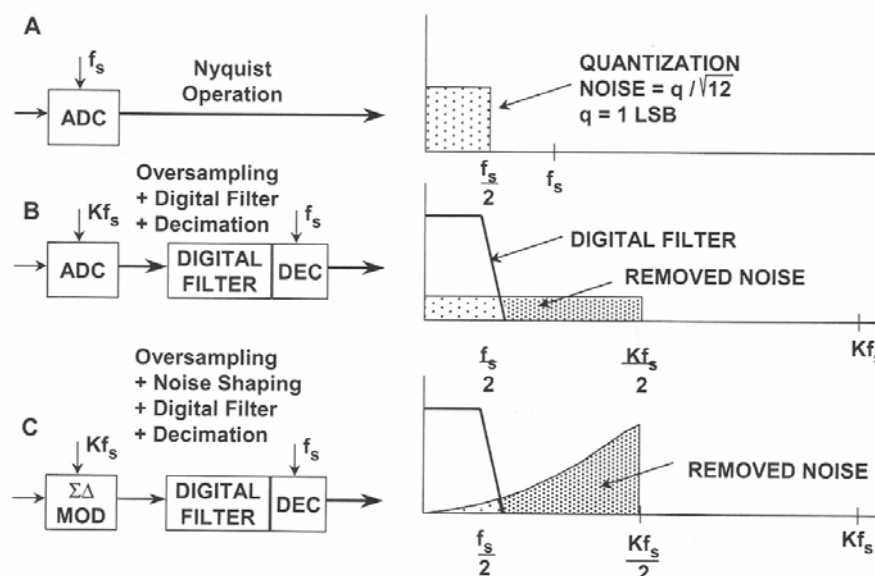


Figure 11: Suréchantillonnage, Filtre digital, mise en forme du bruit et décimation.

On peut voir sur cette image l'effet du suréchantillonnage *Oversampling* et de la décimation sur le niveau de bruit de quantification compris dans la mesure.

La mise en forme du bruit *Noise Shaping* est accomplie par le filtre analogique de l'intégrateur qui a un comportement passe haut pour le bruit et un comportement passe bas pour le signal utile.

Erreurs de conversion

Gain et offset

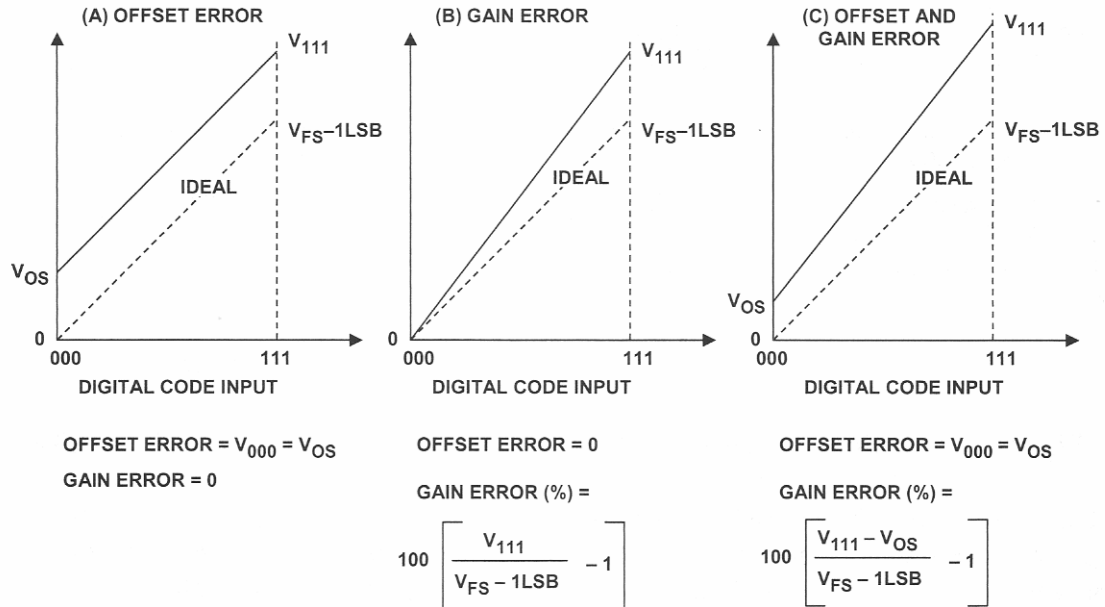


Figure 12: Erreurs de gain et offset

Ces erreurs sont classiques et se retrouvent dans les capteurs. A l'instar de ceux-ci, une calibration de la chaîne d'acquisition permet de les éliminer ou tout au moins à limiter leur amplitude en regard de la précision désirée.

On trouvera plus loin dans ce cours une méthode de mesure à même de déterminer ces erreurs.

Non linéarité différentielle

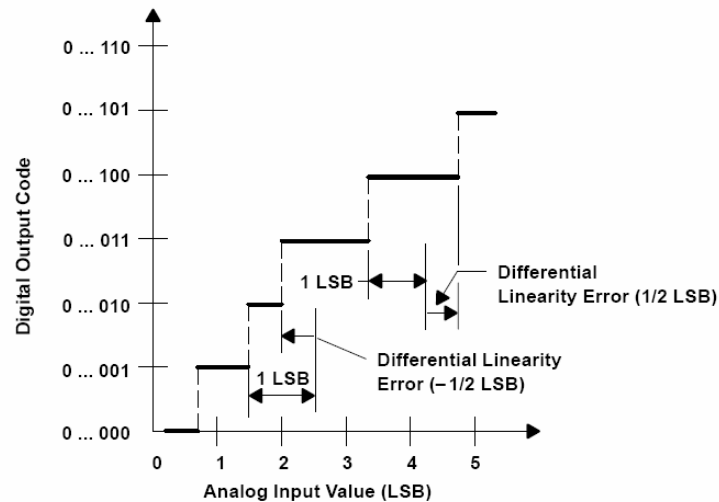


Figure 13: DNL Erreur de linéarité différentielle.

DNL *Differential NonLinearity* est une erreur courante des convertisseurs qui n'ont pas la même « largeur de marche » pour tous les « escaliers » de l'échelle de conversion. Il est clair que vu de suffisamment près tous des seuils auront une largeur différente, mais cette imprécision peut conduire à des erreurs conséquentes si elle atteint la valeur de 1 LSB, comme des erreurs de monotonie (la sortie monte alors que le signal d'entrée descend.) ou d'autres que nous examinons de suite.

Non linéarité intégrale

INL *Integral NonLinearity* est calculée à partir de la somme de toutes les non linéarités différentielles d'un convertisseur. Après avoir corrigé l'offset et le gain, on mesure pour chaque pas, la différence des seuils de conversion avec leur valeur idéale. INL est la somme de toutes ces erreurs.

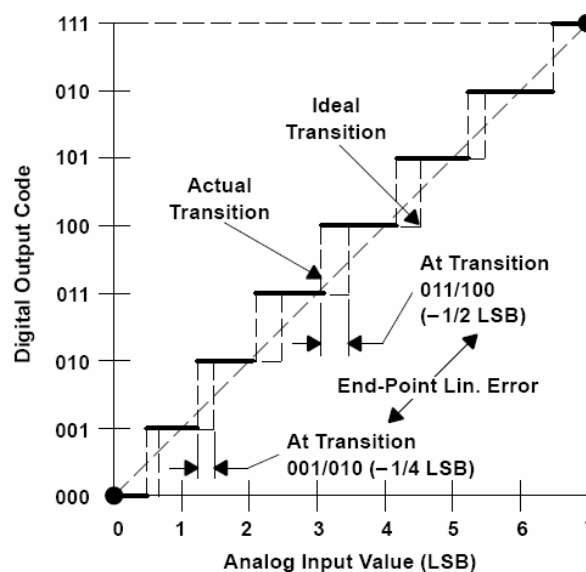


Figure 14: Non linéarité intégrale

Codes manquants / erronés

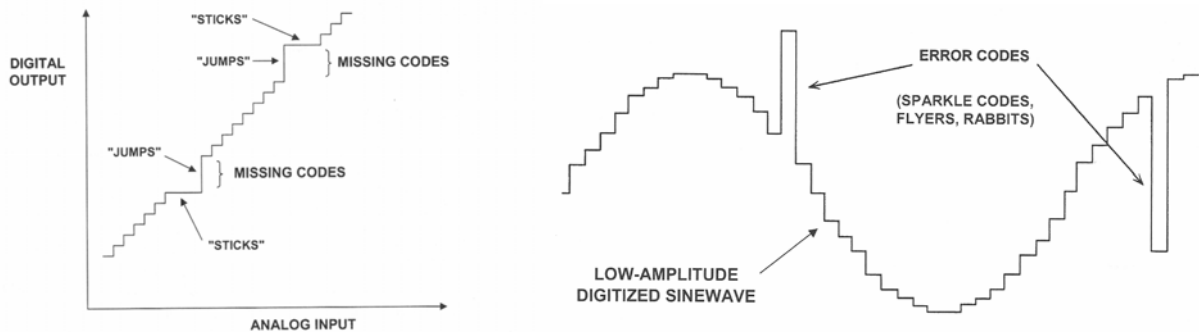
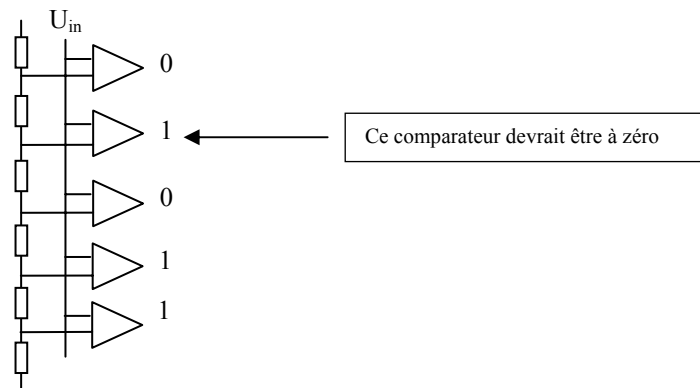


Figure 15: codes manquants et codes erronés

Ces deux types d'erreur sont dues par exemple à des défauts de seuils (DNL) effectifs de comparaison de valeur trop importante dans un convertisseur Flash. Les codes manquants se produisent p. ex. lorsque un comparateur du seuil supérieur a une valeur de comparaison effective inférieure au seuil du comparateur inférieur.



Erreur totale :

En fait cela représente la valeur maximum de la différence entre le signal reconstitué grâce à un ADC parfait et la valeur analogique d'entrée. Elle comprend les erreurs de non linéarité, d'offset et de gain, mais aussi les erreurs de quantification et DNL.

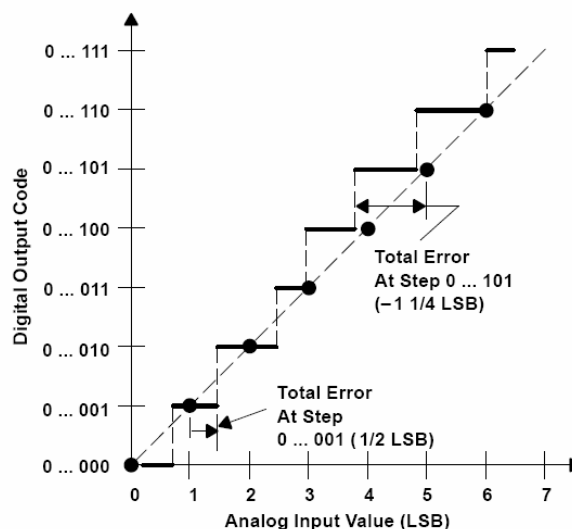


Figure 16: Précision absolue, Erreur totale

Erreur d'ouverture

Lors de la prise d'échantillon de l'échantillonneur, une incertitude persiste quand à l'instant auquel on a bloqué effectivement la valeur. Car bien que les temps de réaction soient courts, et notamment pour des signaux rapides, cette incertitude peut avoir des impacts non négligeables.

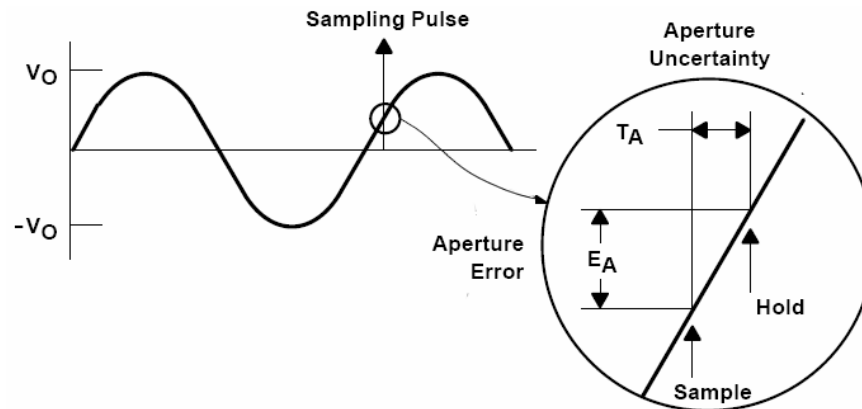


Figure 17: Erreur d'ouverture de l'échantillonneur bloqueur

La fréquence maximum d'échantillonnage est en particulier affectée car le temps d'incertitude d'ouverture associée à la tension d'erreur parcourue par le signal durant ce temps là.

Sachant que le maximum d'erreur possible qui ne génère pas d'erreur est $\frac{1}{2}$ LSB, On peut calculer la fréquence maximum que permet cette erreur d'ouverture.

Pente max d'un signal sinusoïdal :

$$dv/dt = \hat{U} \cdot 2\pi \cdot f \quad E_A = \hat{U} \cdot 2\pi \cdot f \cdot T_A$$

Tension d'erreur max permise
en fonction de $\hat{U}$ et de N

$$U_{(1/2 \text{ LSB})} = \frac{2 \cdot \hat{U}}{2^{N+1}}$$

On obtient la fréquence max. opérationnelle du convertisseur en égalisant ces deux équations :

$$f = \frac{1}{T_A \cdot \pi \cdot 2^{N+1}}$$

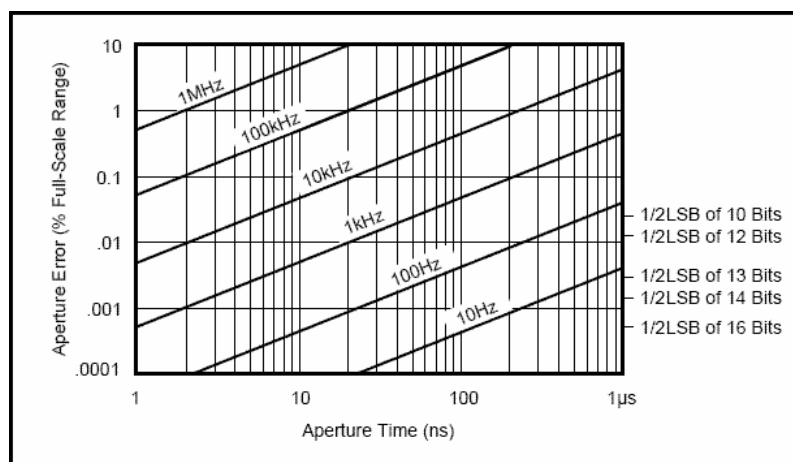
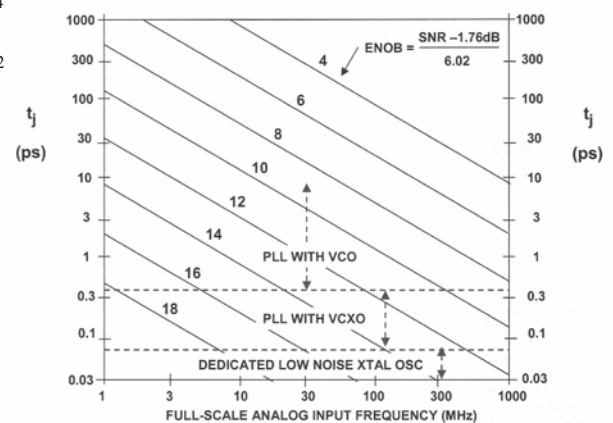
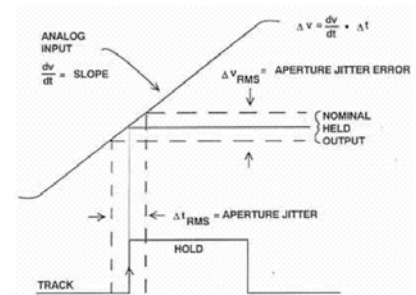
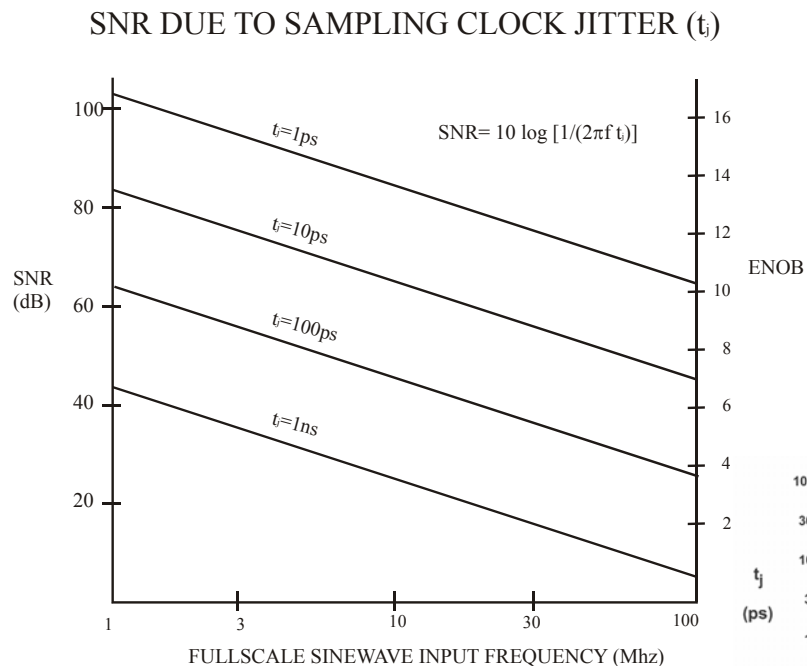


Figure 18: Erreur d'ouverture en fonction de f et de N

Où l'on constate qu'un bon échantillonneur bloqueur est primordial pour les convertisseurs haute vitesse.

Erreur de gîte de fréquence d'échantillonnage :

Dans un monde parfait, l'horloge de pilotage du convertisseur n'est jamais perturbée et elle arrive telle la cavalerie, toujours à l'heure. Il n'en est rien en réalité et dans des applications rapides ou lorsque le clock est de type rustique, on peut voir apparaître une diminution du rapport signal sur bruit non négligeable, due à l'erreur de gîte.



Somme des erreurs d'un convertisseur :

$$\text{SNR} = -20 \log_{10} \left[\underbrace{(2\pi \times f_a \times t_{j \text{ rms}})^2}_{\text{SAMPLING CLOCK JITTER}} + \underbrace{\frac{2}{3} \left(\frac{1 + \varepsilon}{2^N} \right)^2}_{\text{QUANTIZATION NOISE, DNL}} + \underbrace{\left(\frac{2 \times \sqrt{2} \times V_{\text{NOISErms}}}{2^N} \right)^2}_{\text{EFFECTIVE INPUT NOISE}} \right]^{\frac{1}{2}}$$

f_a = Analog input frequency of fullscale input sinewave

$t_{j \text{ rms}}$ = Combined rms jitter of internal ADC and external clock

ε = Average DNL of the ADC (typically 0.41 LSB for AD6645)

N = Number of bits in the ADC

V_{NOISErms} = Effective input noise of ADC (typically 0.9LSB rms for AD6645)

If $t_j = 0$, $\varepsilon = 0$, and $V_{\text{NOISErms}} = 0$, the above equation reduces to the familiar:

$$\text{SNR} = 6.02 N + 1.76\text{dB}$$

Référence de tension :

S'il est évident que la précision du convertisseur ne peut pas être supérieure à la référence de tension sur laquelle il s'appuie, on n'a pas toujours conscience des tolérances que cela implique.

Voici un tableau qui indique pour différentes résolutions usuelles, la précision de la référence de tension à mettre en œuvre afin d'assurer la conversion pour une variation de température de 100°C

BITS	REQUIRED DRIFT (ppm/°C)	$\frac{1}{2}$ LSB WEIGHT (mV) 10, 5, AND 2.5V FULLSCALE RANGES		
		10V	5V	2.5V
8	19.53	19.53	9.77	4.88
9	9.77	9.77	4.88	2.44
10	4.88	4.88	2.44	1.22
11	2.44	2.44	1.22	0.61
12	1.22	1.22	0.61	0.31
13	0.61	0.61	0.31	0.15
14	0.31	0.31	0.15	0.08
15	0.15	0.15	0.08	0.04
16	0.08	0.08	0.04	0.02

Figure 19: Tolérances admissibles pour la référence de tension $\Delta\theta=100^\circ\text{C}$

Les prix des références de tension sont bien sur liés à leur précision et si on trouve des précisions de 3 ppm/°C pour 1 dollars, les références à 1.5 ppm/°C sont déjà 10 fois plus chères. Elles permettent par contre une prise en compte des variations de température via une entrée qui permet la corrections de la tension de sortie en fonction de la température.

Précision du signal d'entrée :

Nous avons parlé du rapport signal sur bruit induit par le convertisseur, mais le SNR à l'entrée du convertisseur a une valeur minimum pour chaque résolution afin de ne pas introduire d'erreur d'un LSB. Une des composantes de ce bruit peut être le temps d'établissement du signal. Voici un tableau qui donne la valeur minimum du SNR et une illustration du temps d'établissement :

Number of Bits (n)	SNR (dB)
4	22.32
8	46.4
10	58.44
12	70.48
14	82.52
16	94.56
18	106.6
20	118.64
22	130.68
24	142.72

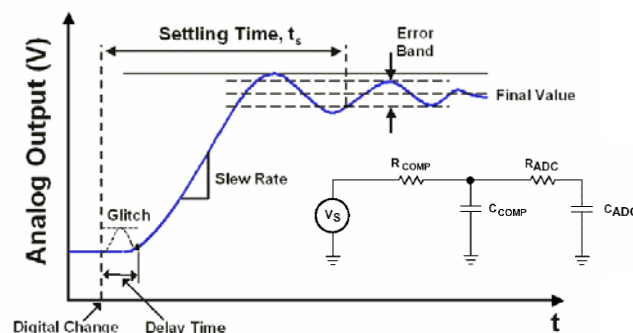


Figure 20: Bruit maximum et temps d'établissement en entrée de convertisseur

Mesures et test de convertisseurs

Il va de soit que malgré toute l'attention que l'on peut porter à son développement, certains paramètres d'un circuit échappent à son concepteur et lors du câblage, de l'assemblage des composants, il peut arriver qu'une référence, une liaison, du bruit, ne soit pas au niveau où on l'attendait. Il ressort de ce fait, la nécessité de tester les caractéristiques de notre convertisseur monté sur son circuit avec tous les paramètres qui font la différence entre une data sheet parfaite et le « vrai » monde.

Test statique :

Pour vérifier les erreurs de linéarité, et d'offset, une mesure en introduisant une tension continue et en vérifiant le code généré peut s'avérer fort utile.

On peut afficher à l'aide de simples LED la valeur binaire de sortie du convertisseur et détecter les transitions lorsque deux LEDs sont partiellement allumées.

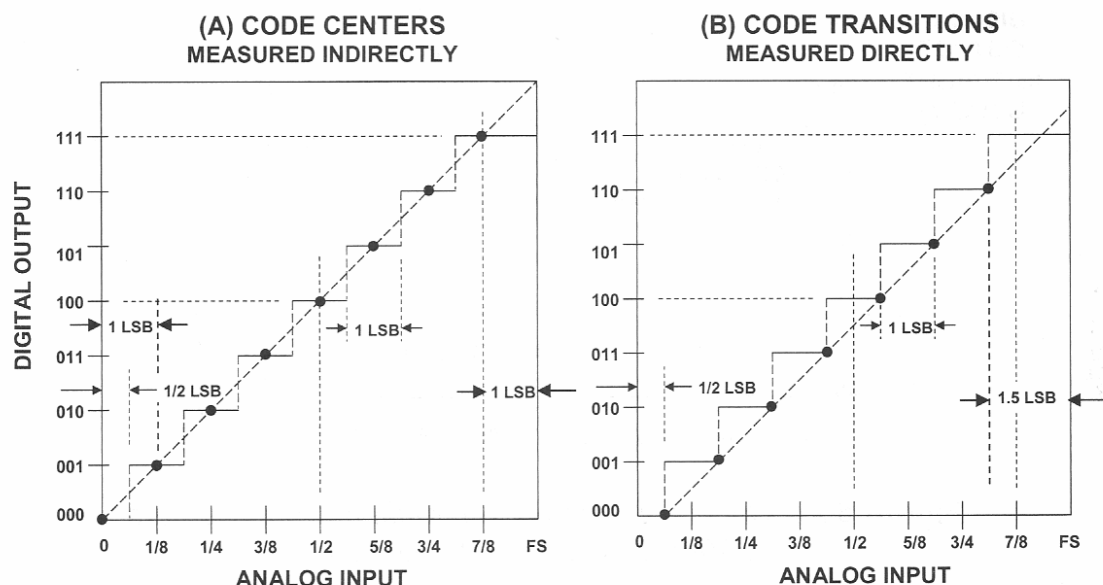


Figure 21: Mesure des transition entre deux codes

Une mesure « code centré » est difficile, c'est pourquoi il est préférable de mesurer les transitions entre les codes en étant conscient du décalage introduit.

Pour mesurer les valeurs de décalage et d'offset, quelques points au début et à la fin de la courbe sont suffisants. Il est clair que pour vérifier une erreur de code manquant ou de monotonie, cette méthode qui passe par la mesure de chacun des seuils (255 pour un 8 bits) est longue et fastidieuse.

Méthode « dos à dos » :

Pour détecter des erreurs sur toute la plage de conversion, on peut utiliser cette méthode qui permet de vérifier la monotonie, les codes manquants, et la non-linéarité différentielle d'un convertisseur.

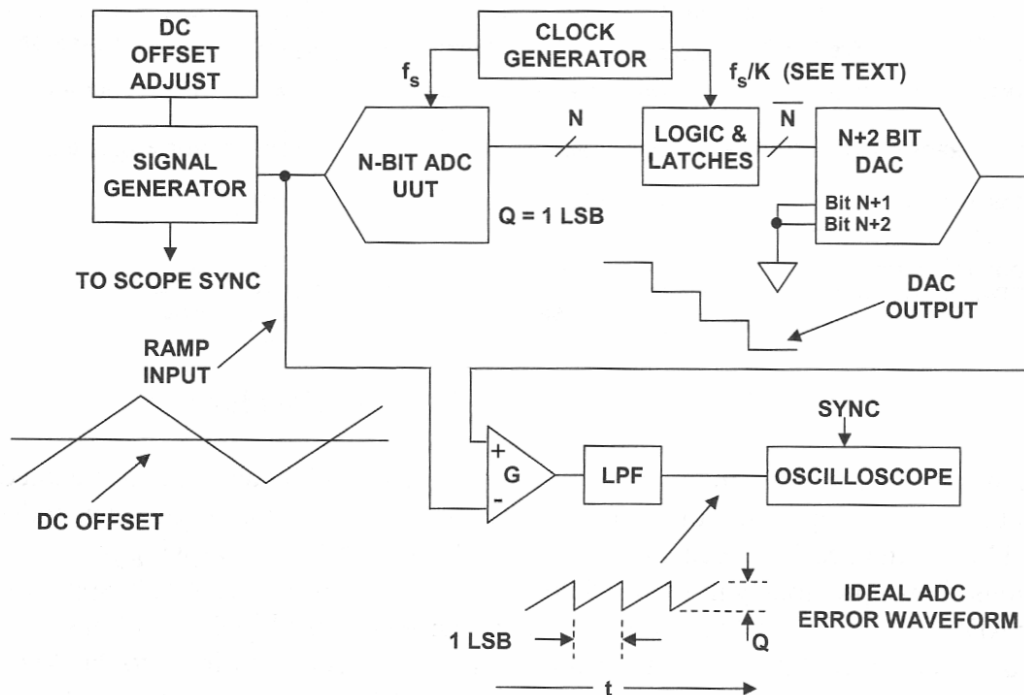


Figure 22: Test statique dos à dos

Nous avons à gauche un générateur de signal qui fournit un signal triangle pas trop rapide, puis un convertisseur A/D à la sortie duquel on branche un convertisseur D/A et c'est la différence entre ces deux signaux (analogique d'entrée et analogique de sortie) que l'on va comparer et afficher à l'oscilloscope.

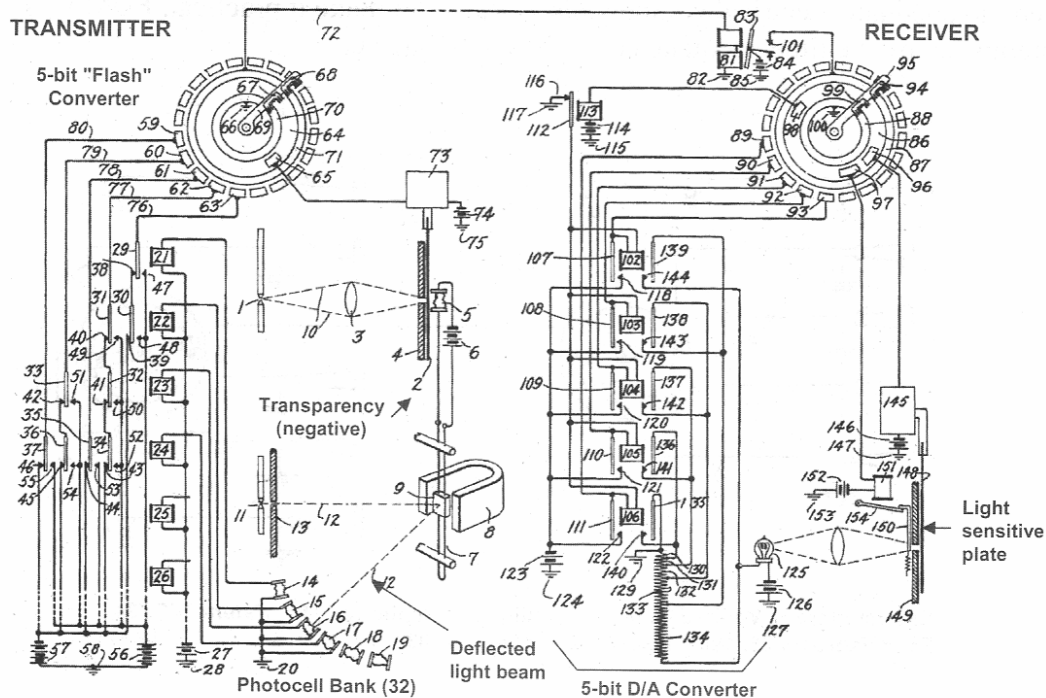
Le convertisseur D/A doit avoir une meilleure précision que le convertisseur A/D sous test, c'est pourquoi on a pris un D/A 14 bits pour contrôler un A/D 12 bits, les deux LSB du D/A sont à zéro.

Test par histogramme :

Un moyen simple de vérifier que le convertisseur a une réponse correcte est de lui imposer une rampe à l'entrée et de faire un histogramme des codes de sortie.

On détectera ainsi aisément les codes manquants et la non linéarité différentielle. Ce test ne donne par contre pas d'information concernant la monotonie du convertisseur.

Convertisseur « Historique » :



*The First Disclosure of PCM: Paul M. Rainey,
"Facimile Telegraph System," U.S. Patent 1,608,527,
Filed July 20, 1921, Issued November 30, 1926*

Liens :

Analog device : Analog Dialogue 33-8 (1999)

<http://www.analog.com/library/analogDialogue/archives/33-08/adc/>

<http://www.analog.com/technology/dataConverters/adc/index.html>

http://dbserv.maxim-ic.com/tarticle/view_article.cfm?article_id=383

<http://www.rmsinst.com/dt3.htm>

<http://pdfserv.maxim-ic.com/en/an/AN634.pdf>

<http://focus.ti.com/lit/an/slaa013/slaa013.pdf>

Cours traitement signal et DSP

<http://magphy.ujf-grenoble.fr/orbis/maitrise.html>

Livre : Analog Device : Analog-Digital Conversion Ed : Walt Kester ISBN 0-916550-27-3

Notre site internet :

www.electrons.ch

Exercices

1. On a mesuré pour un convertisseur 16 bits un rapport signal sur bruit et distorsion de 75 dB. Déterminez le nombre effectif de bits de ce convertisseur. (*Réponse : 12*)
2. Énoncez le théorème de Shannon.
3. Illustrez à l'aide d'un exemple ce qu'est le repliement spectral.
4. Comment se protéger des erreurs dues au repliement spectral ?
5. Dessinez un schéma de principe d'un convertisseur Flash 3 bits.
6. Déterminez le rapport minimum entre la fréquence interne d'un convertisseur 10 bits à approximations successives et la fréquence de sortie des valeurs numériques (10 bits).
7. Dessinez un exemple de convertisseur D/A 4 bits.
8. Illustrez une conversion SAR en montrant chaque étape graphiquement.
9. Donnez l'amplitude pic-pic du bruit de quantification pour un convertisseur 8 bits 5V $f_{\text{éch}}=20$ kHz auquel on applique un signal triangulaire de 5Vpic-pic 10Hz. (*Réponse : 19mV*)
10. Qu'est-ce que SINAD ?
11. Que veut dire THD ?
12. Pour le AD 7819, déterminez le temps qu'il faut laisser au signal pour être chargé dans le cas d'une résistance de sortie de 5.6k Ω . (*Réponse : 124 ns*)
13. Calculez la valeur minimum du rapport signal sur bruit pour un A-D 8 bits ? (46.4dB)
14. Un convertisseur A/D 12 bits est utilisé pour échantillonner un signal 0-10V. Déterminez le rapport signal sur bruit du signal obtenu et la valeur crête à crête du bruit de quantification. (70.5dB ; 2.44mV)
15. À quoi sert le filtre anti-repliement ? Où doit-on le placer dans la chaîne de conversion ?
16. Expliquez le fonctionnement d'un convertisseur SAR en illustrant le fonctionnement à l'aide d'un dessin.
17. Donnez deux méthodes de vérification d'un convertisseur et indiquez les défauts qu'elles permettent de mettre en évidence
18. On place un convertisseur 10 bits derrière un ampli OP. Les résistances qui définissent son gain sont à 1%. Sans calibrage, quel est le nombre effectif de bits de l'ensemble ampli-convertisseur ? (6.35 bits)

19.

Exemples de data sheet



2.7 V to 5.5 V, 200 kSPS
8-Bit Sampling ADC

AD7819

FEATURES

8-Bit ADC with 4.5 μ s Conversion Time
On-Chip Track and Hold
Operating Supply Range: 2.7 V to 5.5 V
Specifications at 2.7 V – 3.6 V and 5 V $\pm$ 10%
8-Bit Parallel Interface
8-Bit Read
Power Performance
Normal Operation
10.5 mW, V_{DD} = 3 V
Automatic Power-Down
57.75 μ W @ 1 kSPS, V_{DD} = 3 V
Analog Input Range: 0 V to V_{REF}
Reference Input Range: 1.2 V to V_{DD}

FUNCTIONAL BLOCK DIAGRAM

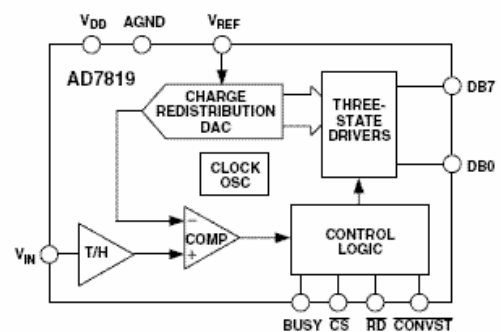


Figure 23: AD 7819



TLC548C, TLC548I, TLC549C, TLC549I 8-BIT ANALOG-TO-DIGITAL CONVERTERS WITH SERIAL CONTROL

SLAS067C – NOVEMBER 1993 – REVISED SEPTEMBER 1996

- Microprocessor Peripheral or Standalone Operation
- 8-Bit Resolution A/D Converter
- Differential Reference Input Voltages
- Conversion Time . . . 17 μ s Max
- Total Access and Conversion Cycles Per Second
 - TLC548 . . . up to 45 500
 - TLC549 . . . up to 40 000
- On-Chip Software-Controllable Sample-and-Hold Function
- Total Unadjusted Error . . . ± 0.5 LSB Max
- 4-MHz Typical Internal System Clock
- Wide Supply Range . . . 3 V to 6 V
- Low Power Consumption . . . 15 mW Max
- Ideal for Cost-Effective, High-Performance Applications including Battery-Operated Portable Instrumentation
- Pinout and Control Signals Compatible With the TLC540 and TLC545 8-Bit A/D Converters and with the TLC1540 10-Bit A/D Converter
- CMOS Technology

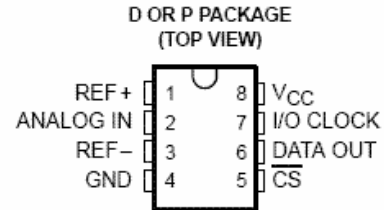


Figure 24: TLC 548





Multichannel, 14-Bit, 200ksps Analog-to-Digital Converters

General Description

The MAX1067/MAX1068 low-power, multichannel, 14-bit analog-to-digital converters (ADCs) feature a successive-approximation ADC, integrated +4.096V reference, a reference buffer, an internal oscillator, automatic power-down, and a high-speed SPI™/QSPI™/MICROWIRE™-compatible interface. The MAX1067/MAX1068 operate with a single +5V analog supply and feature a separate digital supply, allowing direct interfacing with +2.7V to +5.5V digital logic.

The MAX1067/MAX1068 consume only 2.9mA ($AV_{DD} = DV_{DD} = +5V$) at 200ksps when using an external reference. AutoShutdown™ reduces the supply current to 145μA at 10ksps and to less than 10μA at reduced sampling rates.

The MAX1067 includes a 4-channel input multiplexer, and the MAX1068 accepts up to eight analog inputs. In addition, digital signal processor (DSP)-initiated conversions are simplified with the DSP frame-sync input and output featured in the MAX1068. The MAX1068 includes a data-bit transfer input to select between 8-bit-wide or 16-bit-wide data-transfer modes. Both devices feature a scan mode that converts each channel sequentially or one channel continuously.

Excellent dynamic performance and low power, combined with ease of use and an integrated reference, make the MAX1067/MAX1068 ideal for control and data-acquisition operations or for other applications with demanding power consumption and space requirements. The MAX1067 is available in a 16-pin QSOP package, and the MAX1068 is available in a 24-pin QSOP package. Both devices are guaranteed over the commercial (0°C to +70°C) and extended (-40°C to +85°C) temperature ranges. Use the MAX1168 evalua-

Features

- ◆ 14-Bit Resolution, ± 0.5 LSB INL and ± 1 LSB DNL (max)
- ◆ +5V Single-Supply Operation
- ◆ Adjustable Logic Level (+2.7V to +5.25V)
- ◆ Input Voltage Range: 0 to V_{REF}
- ◆ Internal (+4.096V) or External (+3.8V to AV_{DD}) Reference
- ◆ Internal Track/Hold, 4MHz Input Bandwidth
- ◆ Internal or External Clock
- ◆ SPI/QSPI/MICROWIRE-Compatible Serial Interface, MAX1068 Performs DSP-Initiated Conversions
- ◆ 8-Bit-Wide or 16-Bit-Wide Data-Transfer Mode (MAX1068 Only)
- ◆ 4-Channel (MAX1067) or 8-Channel (MAX1068) Input Mux
Scan Mode Sequentially Converts Multiple Channels or One Channel Continuously
- ◆ Low Power
 - 2.9mA at 200ksps
 - 1.45mA at 100ksps
 - 145μA at 10ksps
 - 0.6μA in Full Power-Down Mode
- ◆ Small Package Size
 - 16-Pin QSOP (MAX1067)
 - 24-Pin QSOP (MAX1068)

MAX1067/MAX1068

Figure 25: Max 1067

